

E6134



EP1008896

Biblio

Desc

Claims

Drawing

esp@cenet

**LIQUID CRYSTAL DISPLAY DEVICE**Patent Number: ☐ EP1008896

Publication date: 2000-06-14

Inventor(s): OHTA MASUYUKI (JP); ONO KIKUO (JP); ISHII MASAHIRO (JP); SUZUKI NOBUYUKI (JP)

Applicant(s):: HITACHI LTD (JP)

Requested Patent: ☐ WO9847044

Application Number: EP19980911154 19980401

Priority Number (s): WO1998JP01500 19980401; JP19970093440 19970411

IPC Classification: G02F1/136 ; G02F1/1333

EC Classification: G02F1/1343A8Equivalents: ☐ US6208399**Abstract**

The purpose of this invention is to provide a liquid crystal display device which can realize a broad visual field angle comparable to a cathode ray tube and enables high brightness, high image quality, low power consumption and a narrow frame. To achieve above object, in an active matrix system liquid crystal display device, a counter electrode and a pixel electrode are linearly formed so as not to flatly overlap each other, thus enabling generation of an electric field parallel to the substrate surface, and an insulating film having a specific dielectric constant not greater than 4 is formed on a drain line, thus forming the counter electrode on the insulating

film to cover the drain line. 

Data supplied from the esp@cenet database - I2

(19)日本国特許庁(JP)

再公表特許(A1)

(11)国際公開番号

WO98/47044

発行日 平成12年10月3日(2000.10.3)

(43)国際公開日 平成10年10月22日(1998.10.22)

(51)Int.Cl.

G02F 1/136
1/1333

識別記号

FI

審査請求 未請求 予備審査請求 有 (全 58 頁)

出願番号 特願平10-543713
 (21)国際出願番号 PCT/JP98/01500
 (22)国際出願日 平成10年4月1日(1998.4.1)
 (31)優先権主張番号 特願平9-93440
 (32)優先日 平成9年4月11日(1997.4.11)
 (33)優先権主張国 日本(JP)
 (81)指定国 EP(AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), JP, KR, US

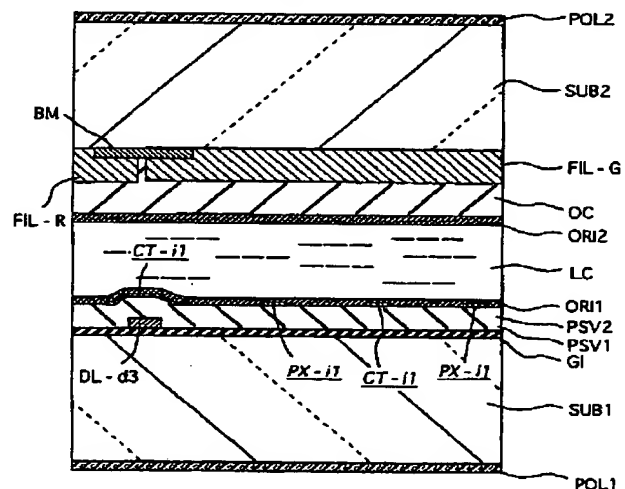
(71)出願人 株式会社日立製作所
 東京都千代田区神田駿河台4丁目6番地
 (72)発明者 太田 益幸
 千葉県茂原市早野3550
 (72)発明者 石井 正宏
 千葉県茂原市町保13
 (72)発明者 小野 記久雄
 千葉県茂原市町保13
 (72)発明者 鈴木 伸之
 千葉県茂原市下永吉460
 (74)代理人 弁理士 小川 勝男

(54)【発明の名称】 液晶表示装置

(57)【要約】

本発明の目的は、ブラウン管並の広視野角を実現でき、かつ、高輝度、高画質、低消費電力、狭額縁の液晶表示装置を提供することにある。上記目的を達成するために、アクティブマトリクス型液晶表示装置において、対向電極および画素電極は平面的に重ならないように線状に形成し、基板面に平行な電界を発生できるようにし、かつ、映像信号線上に比誘電率が4以下の絶縁膜を形成し、絶縁膜上に前記映像信号線を被覆するように対向電極を形成する。

図2



【特許請求の範囲】

1. 一对の基板と、前記一对の基板に挟持された液晶組成物層を有し、前記一对の基板の一方には、複数の映像信号線と複数の走査電極と、前記映像信号線と前記走査信号線に接続された複数の薄膜トランジスタと、前記複数の薄膜トランジスタ素子に接続された複数の画素電極を有するアクティブマトリクス型液晶表示装置において、

前記対向電極は、前記一对の基板の一方に形成され、

前記映像信号線上には、比誘電率が5以下の絶縁膜が形成され、

前記絶縁膜上に前記映像信号線の少なくとも一部を被覆するように前記対向電極が形成されていることを特徴とするアクティブマトリクス型液晶表示装置。

2. 一对の基板と、前記一对の基板に挟持された液晶組成物層を有し、前記一对の基板の一方には、複数の映像信号線と複数の走査電極と、前記映像信号線と前記走査信号線に接続された複数の薄膜トランジスタと、前記複数の薄膜トランジスタ素子に接続された複数の画素電極を有するアクティブマトリクス型液晶表示装置において、

前記画素電極と前記対向電極は前記一对の基板面に略平行な電界を発生するように形成され、

前記映像信号線上には、比誘電率が5以下の絶縁膜が形成され、

前記絶縁膜上に前記映像信号線の少なくとも一部を被覆するように前記対向電極が形成されていることを特徴とするアクティブマトリクス型液晶表示装置。

3. 一对の基板と、前記一对の基板に挟持された液晶組成物層を有し、前記一对の基板の一方には、複数の映像信号線と複数の走査電極と、前記映像信号線と前記走査信号線に接続された複数の薄膜トランジスタと、前記複数の薄膜トランジスタ素子に接続された複数の画素電極を有するアクティブマトリクス型液晶表示装置において、

前記対向電極は、前記一对の基板の一方に形成され、

前記映像信号線上には、有機絶縁膜が形成され、

前記絶縁膜上に前記映像信号線の少なくとも一部を被覆するように前記対向

電極が形成されていることを特徴とするアクティブマトリクス型液晶表示装置。

4. 一对の基板と、前記一对の基板に挟持された液晶組成物層を有し、前記一对の基板の一方には、複数の映像信号線と複数の走査電極と、前記映像信号線と前記走査信号線に接続された複数の薄膜トランジスタと、前記複数の薄膜トランジスタ素子に接続された複数の画素電極を有するアクティブマトリクス型液晶表示装置において、

前記画素電極と前記対向電極は前記一对の基板面に略平行な電界を発生するように形成され、

前記映像信号線上には、有機絶縁膜が形成され、

前記絶縁膜上に前記映像信号線の少なくとも一部を被覆するように前記対向電極が形成されていることを特徴とするアクティブマトリクス型液晶表示装置。

5. 前記画素電極が前記絶縁膜上に形成されていることを特徴とする請求項1、2、3あるいは4記載のアクティブマトリクス型液晶表示装置。

6. 前記絶縁膜と少なくとも前記薄膜トランジスタ素子のゲート絶縁膜または保護膜のどちらかが、同一パターンで形成されていることを特徴とする請求項1、2、3あるいは4記載のアクティブマトリクス型液晶表示装置。

7. 遮光膜が前記走査信号線の延在方向と同一方向に延在したストライプ状に形成されていることを特徴とした請求項1、2、3、4、5あるいは6記載のアクティブマトリクス型液晶表示装置。

8. 前記絶縁膜の膜厚が $1\mu\text{m}$ 以上 $3\mu\text{m}$ 以下であることを特徴とする請求項1、2、3、4、5あるいは6記載のアクティブマトリクス型液晶表示装置。

9. 前記薄膜トランジスタ素子を保護する無機絶縁膜の膜厚が $0.05\mu\text{m}$ 以上 $0.3\mu\text{m}$ 以下であることを特徴とする請求項1、2、3、4、5あるいは6記載のアクティブマトリクス型液晶表示装置。

10. 前記絶縁膜は感光性樹脂であることを特徴とする請求項1、2、3、4、5あるいは6記載のアクティブマトリクス型液晶表示装置。

【発明の詳細な説明】

液晶表示装置

〔技術分野〕

本発明は、液晶表示装置に関し、特に薄膜トランジスタ素子を有する高画質なアクティブマトリクス型液晶表示装置に関する。

〔背景技術〕

いわゆる横電界方式と称されるカラー液晶表示装置は、液晶層を介して互いに対向して配置される透明基板のうち、その一方または両方の液晶側の単位画素に相当する領域面に。表示用電極と基準電極とが備えられ、この表示用電極と基準電極との間に透明基板面と平行に発生させる電界によって前記液晶層を透過する光を変調させるようにしたものである。このようなカラー液晶表示装置は、その表示面に対して大きな角度視野から観察しても鮮明な映像を認識でき、いわゆる広角度視野に優れたものとして知られるに至った。

なお、このような構成からなる液晶表示装置としては、例えば特許出願公表平5-505247公報、特公昭63-21907公報および特開平6-160878公報に詳述されている。

しかしながら、このように構成された液晶表示素子は、映像信号線から発生される不要な電界が、表示電極と基準電極との間の電界を変動させ、表示面において、映像信号線に沿った方向に帯状に筋を引く画質不良いわゆる縦スミア（クロストーク）が発生するという問題が残存されていた。この問題を解決する手段が、特開平6-202127公報に詳述されている。しかしながら、このように構成された液晶表示素子は、シールド電極を設け、それに外部から電位を供給するため、シールド電極と信号電極との間の容量への電流の充放電が大きく、駆動回路に対して負荷が大きくなりすぎ、消費電力が大きい、または駆動回路が大きくなりすぎる、さらには、シールド電極に電位を印加するための接続手段が必要であり、工程の増加および接続不良が発生するという問題が残存されていた。

本発明は、このような事情に基づいてなされたものであり、その目的は、いわゆる縦スミアの抑制でき、かつ、生産性が良好で、低消費電力を図った液晶表示

素子を提供することにある。

〔発明の開示〕

前記目的を達成するために、本発明では、第1の構成として、複数の映像信号線と複数の走査電極で構成された複数の画素を有し、画素内に、基板面に平行な電界を印加でき得る画素電極と対向電極を有し、画素電極に映像信号線と走査信号線に接続された薄膜トランジスタから映像信号が供給され得るアクティブマトリクス型液晶表示装置において、対向電極および画素電極は平面的に重ならないように線状に形成され、映像信号線上に比誘電率が4以下の絶縁膜が形成され、絶縁膜上に前記映像信号線を被覆するように前記対向電極が形成されているアクティブマトリクス型液晶表示装置を構成する。

第1の構成を含む第2の構成として、画素電極が前記絶縁膜上に形成されているアクティブマトリクス型液晶表示装置を構成する。

第1の構成を含む第3の構成として、絶縁膜と少なくとも薄膜トランジスタ素子のゲート絶縁膜または保護膜のどちらかが、同一パターンで形成されているアクティブマトリクス型液晶表示装置を構成する。

第1の構成を含む第4の構成として、遮光膜が水平方向に延在したストライプ状に形成されているアクティブマトリクス型液晶表示装置を構成する。

第1から3の構成を含む第5の構成として、絶縁膜の膜厚が $1\mu\text{m}$ 以上 $3\mu\text{m}$ 以下であるアクティブマトリクス型液晶表示装置を構成する。

第1から3の構成を含む第6の構成として、前記絶縁膜はレジスト材であることを特徴とする請求項1から3記載のアクティブマトリクス型液晶表示装置を構成する。

第1から3の構成を含む第7の構成として、前記薄膜トランジスタ素子を保護する無機絶縁膜の膜厚が $0.05\mu\text{m}$ 以上 $0.3\mu\text{m}$ 以下であるアクティブマトリクス型液晶表示装置を構成する。

このように構成した液晶表示素子は、以下の3つの作用から発生する。

<作用1>

一方の透明基板側に形成されている映像信号線に対して、平面的に見て完全に

重畳させた状態で基準電極が有機絶縁膜上に形成されていることにより、映像信号線から発生する不要な電気力線のほとんど全てが、基準電極に終端する。したがって、横電界を用いる本発明の表示方式のような表示方式において特有の漏洩電界によるクロストークが解消される。これにより、従来、クロストークを低減するために、映像信号線の両脇、または対向基板上に配置していたシールド電極より、漏洩電界を完全にシールドできるため、画素の水平方向を表示用電極と基準電極および開口部で占有できる。また、映像信号線と基準電極間の隙間を隠す必要もなくなるため、垂直方向の遮光膜（ブラックマトリクス）もなくなる。これにより、横電界を用いる表示方式の最大の欠点である低開口率を抜本的に改善することができ、50%を越える開口率を実現できる。すなわち、本発明では高開口率と低スミアの両立が可能となる。

<作用2>

有機絶縁膜は、無機絶縁膜と比較して、その比誘電率が約半分（比誘電率 ϵ_r が3程度）である。また、有機膜は無機膜と比較して厚みを厚くすることが容易であるので、映像信号線と基準電極間の距離が広がる。これ映像信号線に基準電極を完全に覆い被せても、映像信号線と基準電極間に形成される容量はかなり小さくできる。したがって、映像信号線から見たときの負荷が軽くなるため、映像信号の配線伝搬遅延が小さくなり、信号電圧が十分に表示電極に充電でき、かつ、映像信号線を駆動するための駆動回路の縮小ができるようになる。

<作用3>

有機膜は、平坦性が非常に良いので、有機膜を能動素子を形成する基板の最上層に塗布することにより有機膜を能動素子を形成する基板の平坦度を向上することができる。これにより、基板間のギャップのばらつきによる輝度（透過率）－電圧特性のばらつきをなくすことができ、輝度の均一性を向上することができる。

〔図面の簡単な説明〕

図1は、本発明の実施例1のアクティブ・マトリクス型カラー液晶表示装置の液晶表示部の一画素とその周辺を示す要部平面図である。

図2は、図1の6－6切断線における画素の断面図である。

図3は、図1の7-7切断線における薄膜トランジスタ素子TFTの断面図である。

図4は、図1の8-8切断線における蓄積容量Cstgの断面図である。

図5は、表示パネルのマトリクス周辺部の構成を説明するための平面図である。

図6は、左側に走査信号端子、右側に外部接続端子の無いパネル縁部分を示す断面図である。

図7は、ゲート端子GTMとゲート配線GLの接続部近辺を示す平面と断面の図である。

図8は、ドレイン端子DTMと映像信号線DLとの接続部付近を示す平面と断面の図である。

図9は、共通電極端子CTM1、共通バスラインCB1および共通電圧信号線CLの接続部付近を示す平面と断面の図である。

図10は、共通電極端子CTM2、共通バスラインCB2および共通電圧信号線CLの接続部付近を示す平面と断面の図である。

図11は、本発明のアクティブ・マトリクス型カラー液晶表示装置のマトリクス部とその周辺を含む回路図である。

図12は、本発明のアクティブ・マトリクス型カラー液晶表示装置の実施例1の駆動波形を示す図である。

図13は、基板SUB1側の工程A～Cの製造工程を示す画素部とゲート端子部の断面図のフローチャートである。

図14は、基板SUB1側の工程D～Eの製造工程を示す画素部とゲート端子部の断面図のフローチャートである。

図15は、基板SUB1側の工程F～Gの製造工程を示す画素部とゲート端子部の断面図のフローチャートである。

図16は、液晶表示パネルに周辺の駆動回路を実装した状態を示す上面図である。

図17は、駆動回路を構成する集積回路チップCHIがフレキシブル配線基板

に搭載されたテープキャリアパッケージ T C P の断面構造を示す図である。

図 1 8 は、テープキャリアパッケージ T C P を液晶表示パネル P N L の走査信号回路用端子 G T M に接続した状態を示す要部断面図である。

図 1 9 は、液晶表示モジュールの分解斜視図である。

図 2 0 は、本発明の実施例 2 のアクティブ・マトリクス型カラー液晶表示装置の液晶表示部の一画素とその周辺を示す要部平面図である。

図 2 1 は、本発明の実施例 2 のアクティブ・マトリクス型カラー液晶表示装置の櫛歯電極部の断面図である。

図 2 2 は、本発明の実施例 3 のアクティブ・マトリクス型カラー液晶表示装置の櫛歯電極部の断面図である。

図 2 3 は、本発明の実施例 4 のアクティブ・マトリクス型カラー液晶表示装置の液晶表示部の一画素とその周辺を示す要部平面図である。

図 2 4 は、本発明の実施例 5 のアクティブ・マトリクス型カラー液晶表示装置の液晶表示部の一画素とその周辺を示す要部平面図である。

図 2 5 は、本発明の実施例 5 のアクティブ・マトリクス型カラー液晶表示装置の櫛歯電極部の断面図である。

〔発明を実施するための最良の形態〕

本発明、本発明の更に他の目的及び本発明の更に他の特徴は図面を参照した以下の説明から明らかとなるであろう。

(実施例 1)

《アクティブ・マトリクス液晶表示装置》

以下、アクティブ・マトリクス方式のカラー液晶表示装置に本発明を適用した実施例を説明する。なお、以下説明する図面で、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

《マトリクス部（画素部）の平面構成》

図 1 は本発明のアクティブ・マトリクス方式カラー液晶表示装置の一画素とその周辺を示す平面図である。

図 1 に示すように、各画素は走査信号線（ゲート信号線または水平信号線） G

Lと、対向電圧信号線（対向電極配線）CLと、隣接する2本の映像信号線（ドレイン信号線または垂直信号線）DLとの交差領域内（4本の信号線で囲まれた領域内）に配置されている。各画素は薄膜トランジスタTFT、蓄積容量Cstg、画素電極PX（本実施例中では、画素電極と称し、すなわち表示用電極の事である）および対向電極CT（本実施例中では、対向電極と称し、すなわち基準電極の事である）を含む。走査信号線GL、対向電圧信号線CLは図では左右方向に延在し、上下方向に複数本配置されている。映像信号線DLは上下方向に延在し、左右方向に複数本配置されている。画素電極PXはソース電極SD1を介して薄膜トランジスタTFTと電氣的に接続され、対向電極CTも対向電圧信号線CLと電氣的に接続されている。

画素電極PXと対向電極CTは互いに対向し、各画素電極PXと対向電極CTとの間で発生させられる基板面に略平行な電界により液晶組成物LCの光学的な状態を制御し、表示を制御する。画素電極PXと対向電極CTは櫛歯状に構成され、それぞれ、図の上下方向に長細い電極となっている。

画素電極PXと対向電極CTの電極幅はそれぞれ $6\mu\text{m}$ とする。これは、液晶層の厚み方向に対して、液晶層全体に十分な電界を印加するために、後述の液晶組成物層の厚み $3.9\mu\text{m}$ よりも十分大きく設定する。望ましくは、液晶組成物層の1.5倍以上に設定する。また、開口率を大きくするためにできるだけ細くする。また、映像信号線DLも $6\mu\text{m}$ とする。映像信号線DLの電極幅は断線を防止するために、画素電極PXと対向電極CTに比較して若干広くしても良い。

走査信号線GLは末端側の画素（後述の走査電極端子GTMの反対側）のゲート電極GTに十分に走査電圧が伝搬されるだけの抵抗値を満足するように電極幅を設定する。また、対向電圧信号線CLも末端側の画素（後述の共通バスラインCB1およびCB2から最も遠い画素すなわちCB1とCB2の中間の画素）の対向電極CTに十分に対向電圧が印加できるだけの抵抗値を満足するように電極幅を設定する。

一方、画素電極PXと対向電極CTの間の電極間隔は、用いる液晶材料によって変える。これは、液晶材料によって最大透過率を達成する電界強度が異なるた

め、電極間隔を液晶材料に応じて設定し、用いる映像信号駆動回路（信号側ドライバ）の耐圧で設定される信号電圧の最大振幅の範囲で、最大透過率が得られるようにするためである。後述の液晶材料を用いると電極間隔は、約 $15\mu\text{m}$ となる。

《マトリクス部（画素部）の断面構成》

図2は図1の6-6切断線における断面を示す図、図3は図1の7-7切断線における薄膜トランジスタTFTの断面図、図4は図1の8-8切断線における蓄積容量Cstgの断面を示す図である。図5～図7に示すように、液晶組成物層LCを基準にして下部透明ガラス基板SUB1側には薄膜トランジスタTFT、蓄積容量Cstgおよび電極群が形成され、上部透明ガラス基板SUB2側にはカラーフィルタFIL、遮光膜（ブラックマトリクス）BMが形成されている。

また、透明ガラス基板SUB1、SUB2のそれぞれの内側（液晶LC側）の表面には、液晶の初期配向を制御する配向膜ORI1、ORI2が設けられており、透明ガラス基板SUB1、SUB2のそれぞれの外側の表面には、偏光板が設けられている。

《TFT基板》

まず、下側透明ガラス基板SUB1側（TFT基板）の構成を詳しく説明する。

《薄膜トランジスタTFT》

薄膜トランジスタTFTは、ゲート電極GTに正のバイアスを印加すると、ソースドレイン間のチャネル抵抗が小さくなり、バイアスを零にすると、チャネル抵抗は大きくなるように動作する。

薄膜トランジスタTFTは、図3に示すように、ゲート電極GT、絶縁膜GI、i型（真性、intrinsic、導電型決定不純物がドーピングされていない）非晶質シリコン（Si）からなるi型半導体層AS、一对のソース電極SD1、ドレイン電極SD2を有す。なお、ソース、ドレインは本来その間のバイアス極性によって決まるもので、この液晶表示装置の回路ではその極性は動作中反転するので、ソース、ドレインは動作中入れ替わると理解されたい。しかし、以下の説明では、便宜上一方をソース、他方をドレインと固定して表現する。

《ゲート電極GT》

ゲート電極GTは走査信号線GLと連続して形成されており、走査信号線GLの一部の領域がゲート電極GTとなるように構成されている。ゲート電極GTは薄膜トランジスタTFTの能動領域を超える部分である。本例では、ゲート電極GTは、単層の導電膜g3で形成されている。導電膜g3としては例えばスパッタで形成されたクロム-モリブデン合金(Cr-Mo)膜が用いられるがそれに限ったものではない。

《走査信号線GL》

走査信号線GLは導電膜g3で構成されている。この走査信号線GLの導電膜g3はゲート電極GTの導電膜g3と同一製造工程で形成され、かつ一体に構成されている。この走査信号線GLにより、外部回路からゲート電圧(走査電圧)Vgをゲート電極GTに供給する。本例では、導電膜g3としては例えばスパッタで形成されたクロム-モリブデン合金(Cr-Mo)膜が用いられる。また、走査信号線GLおよびゲート電極GTは、クロム-モリブデン合金のみに限られたものではなく、たとえば、低抵抗化のためにアルミニウムまたはアルミニウム合金をクロム-モリブデンで包み込んだ2層構造としてもよい。さらに、映像信号線DLと交差する部分は映像信号線DLとの短絡の確率を小さくするため細くし、また、短絡しても、レーザトリミングで切り離すことができるように二股にしても良い。

《対向電圧信号線CL》

対向電圧信号線CLは導電膜g3で構成されている。この対向電圧信号線CLの導電膜g3はゲート電極GT、走査信号線GLおよび対向電極CTの導電膜g3と同一製造工程で形成され、かつ対向電極CTと電氣的に接続できるように構成されている。この対向電圧信号線CLにより、外部回路から対向電圧Vcomを対向電極CTに供給する。また、対向電圧信号線CLは、クロム-モリブデン合金のみに限られたものではなく、たとえば、低抵抗化のためにアルミニウムまたはアルミニウム合金をクロム-モリブデンで包み込んだ2層構造としてもよい。さらに、映像信号線DLと交差する部分は映像信号線DLとの短絡の確率を小さく

くするため細くし、また、短絡しても、レーザトリミングで切り離すことができるように二股にしても良い。

《絶縁膜G I》

絶縁膜G Iは、薄膜トランジスタT F Tにおいて、ゲート電極G Tと共に半導体層A Sに電界を与えるためのゲート絶縁膜として使用される。絶縁膜G Iはゲート電極G Tおよび走査信号線G Lの上層に形成されている。絶縁膜G Iとしては例えばプラズマC V Dで形成された窒化シリコン膜が選ばれ、2 0 0 0 ~ 4 5 0 0 Åの厚さに（本実施例では、3 5 0 0 Å程度）形成される。また、絶縁膜G Iは走査信号線G Lおよび対向電圧信号線C Lと映像信号線D Lの層間絶縁膜としても働き、それらの電氣的絶縁にも寄与している。

《i型半導体層A S》

i型半導体層A Sは、非晶質シリコンで、1 5 0 ~ 2 5 0 0 Åの厚さに（本実施例では、1 2 0 0 Å程度の膜厚）で形成される。層d 0はオーミックコンタクト用のリン（P）をドーブしたN（+）型非晶質シリコン半導体層であり、下側にi型半導体層A Sが存在し、上側に導電層d 3が存在するところのみに残されている。

i型半導体層A Sおよび層d 0は、走査信号線G Lおよび対向電圧信号線C Lと映像信号線D Lとの交差部（クロスオーバー部）の両者間にも設けられている。この交差部のi型半導体層A Sは交差部における走査信号線G Lおよび対向電圧信号線C Lと映像信号線D Lとの短絡を低減する。

《ソース電極S D 1、ドレイン電極S D 2》

ソース電極S D 1、ドレイン電極S D 2のそれぞれは、N（+）型半導体層d 0に接触する導電膜d 3から構成されている。

導電膜d 3はスパッタで形成したクロム—モリブデン合金（C r —M o）膜を用い、5 0 0 ~ 3 0 0 0 Åの厚さに（本実施例では、2 5 0 0 Å程度）で形成される。C r —M o膜は低応力であるので、比較的膜厚を厚く形成することができ配線の低抵抗化に寄与する。また、C r —M o膜はN（+）型半導体層d 0との接着性も良好である。導電膜d 3として、C r —M o膜の他に高融点金属（M o、

Ti、Ta、W) 膜、高融点金属シリサイド (MoSi_2 、 TiSi_2 、 TaSi_2 、 WSi_2) 膜を用いてもよく、また、アルミニウム等との積層構造にしてもよい。

《映像信号線DL》

映像信号線DLはソース電極SD1、ドレイン電極SD2と同層の導電膜d3で構成されている。また、映像信号線DLはドレイン電極SD2と一体に形成されている。本例では、導電膜d3はスパッタで形成したクロムーモリブデン合金 (Cr-Mo) 膜を用い、500~3000 Åの厚さに (本実施例では、2500 Å程度) で形成される。Cr-Mo膜は低応力であるので、比較的膜厚を厚く形成することができ配線の低抵抗化に寄与する。また、Cr-Mo膜はN(+)型半導体層d0との接着性も良好である。導電膜d3として、Cr-Mo膜の他に高融点金属 (Mo、Ti、Ta、W) 膜、高融点金属シリサイド (MoSi_2 、 TiSi_2 、 TaSi_2 、 WSi_2) 膜を用いてもよく、また、断線を防ぐために、アルミニウム等との積層構造にしてもよい。

《蓄積容量Cstg》

導電膜d3は、薄膜トランジスタTFETのソース電極SD2部分において、対向電圧信号線CLと重なるように形成されている。この重ね合わせは、図1からも明らかなように、ソース電極SD2-d3を一方の電極とし、対向電圧信号CLを他方の電極とする蓄積容量 (静電容量素子) Cstgを構成する。この蓄積容量Cstgの誘電体膜は、薄膜トランジスタTFETのゲート絶縁膜として使用される絶縁膜GIで構成されている。

図1に示すように平面的には蓄積容量Cstgは対向電圧信号線CLの一部分に形成されている。

《保護膜PSV1》

薄膜トランジスタTFET上には保護膜PSV1が設けられている。保護膜PSV1は主に薄膜トランジスタTFETを湿気等から保護するために形成されており、透明性が高くしかも耐湿性の良いものを使用する。保護膜PSV1はたとえばプラズマCVD装置で形成した酸化シリコン膜や窒化シリコン膜で形成され

ており、 $0.05 \sim 0.3 \mu\text{m}$ 程度の膜厚で形成する。保護膜P S V 1は薄膜トランジスタ素子T F Tのバックチャネル部の保護すなわちしきい値電圧 V_{th} を安定させるのが主目的であるので、本実施例では薄膜トランジスタT F T部のみに島状に形成する。これにより、保護膜P S V 1の応力による基板の反りが大幅に軽減できる。

保護膜P S V 1は、外部接続端子D T M、G T Mを露出するよう除去されている。保護膜P S V 1と絶縁膜G Iの厚さ関係に関しては、前者は保護効果を考え厚くされ、後者はトランジスタの相互コンダクタンス g_m を考え薄くされる。

《有機保護膜P S V 2》

保護膜P S V 1には、有機膜P S V 2が設けられている。有機膜P S V 2は以下の目的で形成されており、透明性が高く、比誘電率が3程度の低いものを使用する。有機膜P S V 2はたとえば塗布装置で形成したレジスト膜で形成されており、 $1 \sim 3 \mu\text{m}$ 程度の膜厚で形成する。これにより、映像信号線とそれに覆い被せた対向電極との間の容量を大幅に軽減できる。これにより、映像信号線の負荷が大幅に軽減され、映像信号を駆動するための駆動L S Iの回路規模を大幅に縮小できる。また、作用にも述べたように、有機保護膜P S V 2は、薄膜トランジスタ基板の平坦度を向上させるのにも役立つ。これは、有機膜は、無機膜に比べて、平坦性が良く形成できることによる。

有機膜P S V 2は、外部接続端子D T M、G T Mを露出するよう除去されている。また、画素部では、対向電圧信号線C Lと後述の対向電極C Tとの電氣的接続、および、ソース電極S D 2と画素電極P Xとの電氣的接続のために、スルーホールT H 2およびT H 1を設けている。スルーホールT H 2では、有機膜P S V 2と絶縁膜G Iが一括で加工されるので g_3 層までの孔があき、スルーホールT H 1では d_3 でブロッキングされるので d_3 層までの孔があく。

本実施例では、比誘電率が3程度の有機膜を使用したか、本実施例の効果を引き出すためには4以下が好ましい。

《画素電極P X》

画素電極P Xは、透明導電層 i_1 で有機膜P S V 2上に形成されている。この

透明導電膜 i 1 はスパッタリングで形成された透明導電膜(Indium-Tin-Oxide ITO : ネサ膜) からなり、100 ~ 2000 Å の厚さに (本実施例では、1400 Å 程度の膜厚) 形成される。また、画素電極 P X はスルーホール T H I を介して、ソース電極 S D 2 に接続されている。

画素電極が本実施例のように透明になることにより、その部分の透過光により、白表示を行う時の最大透過率が向上するため、画素電極が不透明な場合よりも、より明るい表示を行うことができる。この時、後述するように、電圧無印加時には、液晶分子は初期の配向状態を保ち、その状態で黒表示をするように偏光板の配置を構成する (ノーマリブラックモードにする) にしているので、画素電極を透明にしても、その部分の光を透過することがなく、良質な黒を表示することができる。これにより、最大透過率が向上させ、かつ十分なコントラスト比を達成することができる。

《対向電極 C T》

対向電極 C T は透明導電層 i 1 で有機膜 P S V 2 上に形成されている。この透明導電膜 i 1 はスパッタリングで形成された透明導電膜(Indium-Tin-Oxide ITO : ネサ膜) からなり、100 ~ 2000 Å の厚さに (本実施例では、1400 Å 程度の膜厚) 形成される。また、対向電極 C T はスルーホール T H 2 を介して、対向電圧信号線 C L に接続されている。画素電極 P X と同様、対向電極を透明にすることにより、白表示を行う時の最大透過率が向上する。また、対向電極 C T で映像信号線 D L 上を完全に覆い隠すように構成し、映像信号線 D L からの電気力線のほとんどを対向電極 C T に終端させる。これにより、横電界方式特有の映像信号線からの漏洩電界が完全になるのでクロストークが完全に解消される。これは、横電界方式を用いるアクティブマトリクス型液晶表示装置に特有の効果である。

また、対向電極 C T には対向電圧 Vcom が印加されるように構成されている。本実施例では、対向電圧 Vcom は映像信号線 D L に印加される最小レベルの駆動電圧 Vd min と最大レベルの駆動電圧 Vd max との中間直流電位から、薄膜トランジスタ素子 T F T をオフ状態にするときに発生するフィードスルー電圧 ΔV_s

分だけ低い電位に設定される。

《カラーフィルタ基板》

次に、図 1、図 2 に戻り、上側透明ガラス基板 SUB 2 側（カラーフィルタ基板）の構成を詳しく説明する。

《遮光膜 BM》

上部透明ガラス基板 SUB 2 側には、不要な間隙部（画素電極 PX と対向電極 CT の間以外の隙間）からの透過光が表示面側に出射して、コントラスト比等を低下させないように遮光膜 BM（いわゆるブラックマトリクス）を形成している。遮光膜 BM は、外部光またはバックライト光が i 型半導体層 AS に入射しないようにする役割も果たしている。すなわち、薄膜トランジスタ TFT の i 型半導体層 AS は上下にある遮光膜 BM および大き目のゲート電極 GT によってサンドイッチにされ、外部の自然光やバックライト光が当たらなくなる。

図 1 に遮光膜 BM のパターンの 1 例を示す。

本実施例では、画素の表示部に孔をあけたマトリクス状のパターンにする。本実施例では、遮光膜 BM は、クロム薄膜を用いる。また、クロム薄膜のガラス面側には、酸化クロム、窒化クロムを形成する。これは、ガラス面側の反射率を低減するためであり、液晶表示装置の表示面を低反射にするためである。

また、この遮光膜 BM で各行各列の有効表示領域が仕切られる。従って、各行の画素の輪郭が遮光膜 BM によってはっきりとする。

更に、遮光膜 BM は周辺部にも額縁状に形成され、そのパターンは図 1 に示すマトリクス部のパターンと連続して形成されている。周辺部の遮光膜 BM は、シール部 SL の外側に延長され、パソコン等の実装機に起因する反射光等の漏れ光がマトリクス部に入り込むのを防ぐと共に、バックライト等の光が表示エリア外に漏れるのも防いでいる。他方、この遮光膜 BM は基板 SUB 2 の縁よりも約 0.3 ～ 1.0 mm 程内側に留められ、基板 SUB 2 の切断領域を避けて形成されている。

本実施例では、薄膜でも遮光性の高い金属膜を用いたが、十分な遮光性が得られれば絶縁性の遮光膜を用いてもよい。

《カラーフィルタ F I L》

カラーフィルタ F I L は画素に対向する位置に赤、緑、青の繰り返しでストライプ状に形成される。カラーフィルタ F I L は遮光膜 B M のエッジ部分と重なるように形成されている。

カラーフィルタ F I L は次のように形成することができる。まず、上部透明ガラス基板 S U B 2 の表面にアクリル系樹脂等の染色基材を形成し、フォトリソグラフィ技術で赤色フィルタ形成領域以外の染色基材を除去する。この後、染色基材を赤色顔料で染め、固着処理を施し、赤色フィルタ R を形成する。つぎに、同様な工程を施すことによって、緑色フィルタ G、青色フィルタ B を順次形成する。なお、染色には染料を用いてもよい。

《オーバーコート膜 O C》

オーバーコート膜 O C はカラーフィルタ F I L の染料の液晶組成物層 L C への漏洩の防止、および、カラーフィルタ F I L、遮光膜 B M による段差の平坦化のために設けられている。オーバーコート膜 O C はたとえばアクリル樹脂、エポキシ樹脂等の透明樹脂材料で形成されている。また、オーバーコート膜 O C として、流動性の良いポリイミド等の有機膜を使用しても良い。

《液晶層および偏光板》

次に、液晶層、配向膜、偏光板等について説明する。

《液晶層》

液晶材料 L C としては、誘電率異方性 $\Delta \epsilon$ が正でその値が 13.2、屈折率異方性 Δn が 0.081 (589 nm、20°C) のネマティック液晶を用いる。液晶層の厚み (ギャップ) は、3.9 μm とし、リタレーション $\Delta n \cdot d$ は 0.316 とする。このリタレーション $\Delta n \cdot d$ の値により、後述の配向膜と偏光板と組み合わせ、液晶分子がラビング方向から電界方向に 45° 回転したとき最大透過率を得ることができ、可視光の範囲ないで波長依存性がほとんどない透過光を得ることができる。このリタレーションの範囲は、0.25 ~ 0.32 μm の範囲が十分な透過率を得るために好ましい。なお、液晶層の厚み (ギャップ) は、ポリマビーズで制御している。

なお、液晶材料 LC は、特に限定したものではなく、誘電率異方性 $\Delta \epsilon$ は負でもよい。また、誘電率異方性 $\Delta \epsilon$ は、その値が大きいほうが、駆動電圧が低減できる。また、屈折率異方性 Δn は小さいほうが、液晶層の厚み（ギャップ）を厚くでき、液晶の封入時間が短縮され、かつギャップばらつきを少なくすることができる。

また、液晶組成物の比抵抗としては、 $10^9 \Omega \text{ cm}$ 以上 $10^{14} \Omega \text{ cm}$ 以下、好ましくは $10^{11} \Omega \text{ cm}$ 以上 $10^{13} \Omega \text{ cm}$ 以下のものを用いる。本方式では、液晶組成物の抵抗が低くても、画素電極と対向電極間に充電された電圧を十分保持することができ、その下限は $10^9 \Omega \text{ cm}$ 、好ましくは $10^{11} \Omega \text{ cm}$ である。これは、画素電極と対向電極を、同一基板上に構成していることによる。また、抵抗が高すぎると、製造工程上に入った静電気を緩和しにくいため、 $10^{14} \Omega \text{ cm}$ 以下、好ましくは $10^{13} \Omega \text{ cm}$ 以下が良い。

また、液晶材料のツイスト弾性定数 K_2 は小さいほうが好ましい。具体的には、 2 pN 以上が良い。

《配向膜》

配向膜 ORI としては、ポリイミドを用いる。ラビング方向は上下基板で互いに平行にし、かつ印加電界方向とのなす角度は 75° とする。

なお、ラビング方向と印加電界方向とのなす角度は、液晶材料の誘電率異方性 $\Delta \epsilon$ が正であれば、 45° 以上 90° 未満、誘電率異方性 $\Delta \epsilon$ が負であれば、 0° を超え 45° 以下でなければならない。

《偏光板》

偏光板 POL としては、日東電工社製 G1220DU を用い、下側の偏光板 POL1 の偏光透過軸 MAX1 をラビング方向 RDR と一致させ、上側の偏光板 POL2 の偏光透過軸 MAX2 を、それに直交させる。これにより、本発明の画素に印加される電圧（画素電極 PX と対向電極 CT の間の電圧）を増加させるに伴い、透過率が上昇するノーマリクローズ特性を得ることができ、また、電圧無印加時には、良質な黒表示ができる。また、上側と下側の偏光板の関係は、逆転させても良く、特性上大きな変化はない。

なお、本実施例では、偏光板に導電性を持たせることにより、外部からの静電気による表示不良およびEMI対策を施している。導電性に関しては、静電気による影響を対策するためだけであれば、シート抵抗が $10^8 \Omega/\square$ 以下、EMIに対しても対策するのであれば、 $10^4 \Omega/\square$ 以下とするのが望ましい。また、ガラス基板の液晶組成物の挟持面の裏面（偏光板を粘着させる面）に導電層を設けてもよい。

《マトリクス周辺の構成》

図5は上下のガラス基板SUB1、SUB2を含む表示パネルPNLのマトリクス（AR）周辺の要部平面を示す図である。また、図6は、左側に走査回路が接続されるべき外部接続端子GTM付近の断面を、右側に外部接続端子が無いところのシール部付近の断面を示す図である。

このパネルの製造では、小さいサイズであればスループット向上のため1枚のガラス基板で複数個分のデバイスを同時に加工してから分割し、大きいサイズであれば製造設備の共用のためどの品種でも標準化された大きさのガラス基板を加工してから各品種に合ったサイズに小さくし、いずれの場合も一通りの工程を経ってからガラスを切断する。図5、図6は後者の例を示すもので、図5、図6の両図とも上下基板SUB1、SUB2の切断後を表しており、LNは両基板の切断前の縁を示す。いずれの場合も、完成状態では外部接続端子群Tg、Tdおよび端子COT（添字略）が存在する（図で上辺と左辺の）部分はそれらを露出するように上側基板SUB2の大きさが下側基板SUB1よりも内側に制限されている。端子群Tg、Tdはそれぞれ後述する走査回路接続用端子GTM、映像信号回路接続用端子DTMとそれらの引出配線部を集積回路チップCHIが搭載されたテープキャリアパッケージTCP（図16、図17）の単位に複数本まとめて名付けたものである。各群のマトリクス部から外部接続端子部に至るまでの引出配線は、両端に近づくにつれ傾斜している。これは、パッケージTCPの配列ピッチ及び各パッケージTCPにおける接続端子ピッチに表示パネルPNLの端子DTM、GTMを合わせるためである。また、対向電極端子COTは、対向電極CTに対向電圧を外部回路から与えるための端子である。マトリクス部

の対向電圧信号線CLは、走査回路用端子GTMの反対側（図では右側）に引き出し、各対向電圧信号線を共通バスラインCBで一纏めにして、対向電極端子COTに接続している。

透明ガラス基板SUB1、SUB2の間にはその縁に沿って、液晶封入口INJを除き、液晶LCを封止するようにシールパターンSLが形成される。シール材は例えばエポキシ樹脂から成る。

配向膜ORI1、ORI2の層は、シールパターンSLの内側に形成される。偏光板POL1、POL2はそれぞれ下部透明ガラス基板SUB1、上部透明ガラス基板SUB2の外側の表面に構成されている。液晶LCは液晶分子の向きを設定する下部配向膜ORI1と上部配向膜ORI2との間でシールパターンSLで仕切られた領域に封入されている。下部配向膜ORI1は下部透明ガラス基板SUB1側の保護膜PSV1の上部に形成される。

この液晶表示装置は、下部透明ガラス基板SUB1側、上部透明ガラス基板SUB2側で別個に種々の層を積み重ね、シールパターンSLを基板SUB2側に形成し、下部透明ガラス基板SUB1と上部透明ガラス基板SUB2とを重ね合わせ、シール材SLの開口部INJから液晶LCを注入し、注入口INJをエポキシ樹脂などで封止し、上下基板を切断することによって組み立てられる。

《ゲート端子部》

図7は表示マトリクス走査信号線GLからその外部接続端子GTMまでの接続構造を示す図であり、図7Aは平面であり図7Bは図7AのB-B切断線における断面を示している。なお、同図は図5下方付近に対応し、斜め配線の部分は便宜状一直線状で表した。

図中Cr-Mo層g3は、判り易くするためハッチを施してある。

ゲート端子GTMはCr-Mo層g3と、更にその表面を保護し、かつ、TCP (Tape Carrier Package) との接続の信頼性を向上させるための透明導電層i1とで構成されている。この透明導電層i1は画素電極PXと同一工程で形成された透明導電膜ITOを用いている。

平面図において、絶縁膜GIおよび保護膜PSV1はその境界線よりも右側に

形成されており、左端に位置する端子部G T Mはそれらから露出し外部回路との電氣的接触ができるようになっている。図では、ゲート線G Lとゲート端子の一つの対のみが示されているが、実際はこのような対が図5に示すように上下に複数本並べられ端子群T g（図5）が構成され、ゲート端子の左端は、製造過程では、基板の切断領域を越えて延長され配線S H g（図示せず）によって短絡される。製造過程における配向膜O R I 1のラビング時等の静電破壊防止に役立つ。

《ドレイン端子D T M》

図8は映像信号線D Lからその外部接続端子D T Mまでの接続を示す図であり、図8 Aはその平面を示し、図8 Bは図8 AのB - B切断線における断面を示す。なお、同図は図5 右上付近に対応し、図面の向きは便宜上変えてあるが右端方向が基板S U B 1の上端部に該当する。

T S T dは検査端子でありここには外部回路は接続されないが、プローブ針等を接触できるよう配線部より幅が広げられている。同様に、ドレイン端子D T Mも外部回路との接続ができるよう配線部より幅が広げられている。外部接続ドレイン端子D T Mは上下方向にに配列され、ドレイン端子D T Mは、図5に示すように端子群T d（添字省略）を構成し基板S U B 1の切断線を越えて更に延長され、製造過程では静電破壊防止のためその全てが互いに配線S H d（図示せず）によって短絡される。検査端子T S T dは図8に示すように一本置き映像信号線D Lに形成される。

ドレイン接続端子D T Mは透明導電層i 1で形成されており、保護膜P S V 1を除去した部分で映像信号線D Lと接続されている。この透明導電膜i 1はゲート端子G T Mの時と同様に画素電極P Xと同一工程で形成された透明導電膜I T Oを用いている。

マトリクス部からドレイン端子部D T Mまでの引出配線は、映像信号線D Lと同じレベルの層d 3が構成されている。

《対向電極端子C T M》

図9は対向電圧信号線C Lからその外部接続端子C T Mまでの接続を示す図であり、図9 Aはその平面を示し、図9 Bは図9 AのB - B切断線における断面

を示す。なお、同図は図5左上付近に対応する。

各対向電圧信号線CLは共通バスラインCB1で一纏めして対向電極端子CTMに引き出されている。共通バスラインCBは導電層g3の上に導電層3を積層し、透明導電層i1でそれらを電氣的に接続した構造となっている。これは、共通バスラインCBの抵抗を低減し、対向電圧が外部回路から各対向電圧信号線CLに十分に供給されるようにするためである。本構造では、特に新たに導電層を負荷することなく、共通バスラインの抵抗を下げられるのが特徴である。

対向電極端子CTMは、導電層g3の上に透明導電層i1が積層された構造になっている。この透明導電膜i1は他の端子の時と同様に画素電極PXと同一工程で形成された透明導電膜ITOを用いている。透明導電層i1により、その表面を保護し、電食等を防ぐために耐久性のよい透明導電層i1で、導電層g3を覆っている。また透明導電層i1と導電層g3および導電層d3との接続は保護膜PSV1および絶縁膜GIにうスルーホールを形成し導通を取っている。

一方、図10は対向電圧信号線CLのもう一方の端からその外部接続端子CTM2までの接続を示す図であり、図10Aはその平面を示し、図10Bは図10AのB-B切断線における断面を示す。なお、同図は図5右上付近に対応する。ここで、共通バスラインCB2では各対向電圧信号線CLのもう一方の端（ゲート端子GTM側）をで一纏めして対向電極端子CTM2に引き出されている。共通バスラインCB1と異なる点は、走査信号線GLとは絶縁されるように、導電層d3と透明導電層i1で形成していることである。また、走査信号線GLとの絶縁は絶縁膜GIで行っている。

《表示装置全体等価回路》

表示マトリクス部の等価回路とその周辺回路の結線図を図11に示す。同図は回路図ではあるが、実際の幾何学的配置に対応して描かれている。ARは複数の画素を二次元状に配列したマトリクス・アレイである。

図中、Xは映像信号線DLを意味し、添字G、BおよびRがそれぞれ緑、青および赤画素に対応して付加されている。Yは走査信号線GLを意味し、添字1、2、3、…、endは走査タイミングの順序に従って付加されている。

走査信号線 Y（添字省略）は垂直走査回路 V に接続されており、映像信号線 X（添字省略）は映像信号駆動回路 H に接続されている。

SUP は 1 つの電圧源から複数の分圧した安定化された電圧源を得るための電源回路やホスト（上位演算処理装置）からの CRT（陰極線管）用の情報を TFT 液晶表示装置用の情報に交換する回路を含む回路である。

《駆動方法》

図 12 に本実施例の液晶表示装置の駆動波形を示す。対向電圧 V_{ch} は一定電圧とする。走査信号 V_g は 1 走査期間ごとに、オンレベルをとり、その他はオフレベルをとる。映像信号電圧は、液晶層に印加したい電圧の 2 倍の振幅で正極と負極を 1 フレーム毎に反転して 1 つの画素に伝えるように印加する。ここで、映像信号電圧 V_d は 1 列毎に極性を反転し、1 行毎にも極性を反転する。これにより、極性が反転した画素が上下左右となりあう構成となり、フリッカ、クロストーク（左右方向のスミア）を発生しにくくすることができる。また、対向電圧 V_c は映像信号電圧の極性反転のセンター電圧から、一定量下げた電圧に設定する。これは、薄膜トランジスタ素子がオンからオフに変わるときに発生するフィードスルー電圧を補正するものであり、液晶に直流成分の少ない交流電圧を印加するために行う（液晶は直流が印加されると、残像、劣化等が激しくなるため）。

《蓄積容量 C_{stg} の働き》

蓄積容量 C_{stg} は、画素に書き込まれた（薄膜トランジスタ TFT がオフした後の）映像情報を、長く蓄積するために設ける。本発明で用いている電界を基板面と平行に印加する方式では、電界を基板面に垂直に印加する方式と異なり、画素電極と対向電極で構成される容量（いわゆる液晶容量）がほとんど無いため、蓄積容量 C_{stg} が映像情報を画素に蓄積することができない。したがって、電界を基板面と平行に印加する方式では、蓄積容量 C_{stg} は必須の構成要素である。

また、蓄積容量 C_{stg} は、薄膜トランジスタ TFT がスイッチングするとき、画素電極電位 V_s に対するゲート電位変化 ΔV_g の影響を低減するようにも働く。

この様子を式で表すと、次のようになる。

$$\Delta V_s = \{ C_{gs} / (C_{gs} + C_{stg} + C_{pix}) \} \times \Delta V_g$$

ここで、 C_{gs} は薄膜トランジスタ T F T のゲート電極 G T とソース電極 S D 1 との間に形成される寄生容量、 C_{pix} は画素電極 P X と対向電極 C T との間に形成される容量、 ΔV_s は ΔV_g による画素電極電位の変化分いわゆるフィードスルー電圧を表わす。この変化分 ΔV_s は液晶 L C に加わる直流成分の原因となるが、保持容量 C_{stg} を大きくすればする程、その値を小さくすることができる。液晶 L C に印加される直流成分の低減は、液晶 L C の寿命を向上し、液晶表示画面の切り替え時に前の画像が残るいわゆる焼き付きを低減することができる。

前述したように、ゲート電極 G T は i 型半導体層 A S を完全に覆うよう大きくされている分、ソース電極 S D 1、ドレイン電極 S D 2 とのオーバーラップ面積が増え、従って寄生容量 C_{gs} が大きくなり、画素電極電位 V_s はゲート（走査）信号 V_g の影響を受け易くなるという逆効果が生じる。しかし、蓄積容量 C_{stg} を設けることによりこのデメリットも解消することができる。

《製造方法》

つぎに、上述した液晶表示装置の基板 S U B 1 側の製造方法について図 1 3 ～ 図 1 5 を参照して説明する。なお同図において、中央の文字は工程名の略称であり、左側は図 3 に示す薄膜トランジスタ T F T 部分、右側は図 7 に示すゲート端子付近の断面形状でみた加工の流れを示す。工程 B、工程 D を除き工程 A ～ 工程 G は各写真処理に対応して区分けしたもので、各工程のいずれの断面図も写真処理後の加工が終わりフォトリジストを除去した段階を示している。なお、写真処理とは本説明ではフォトリジストの塗布からマスクを使用した選択露光を経てそれを現像するまでの一連の作業を示すものとし、繰返しの説明は避ける。以下区分けした工程に従って、説明する。

工程 A、図 1 3

A N 6 3 5 ガラス（商品名）からなる下部透明ガラス基板 S U B 1 上に膜厚が 2 0 0 0 Å の C r - M o 等からなる導電膜 g 3 をスパッタリングにより設ける。写真処理後、硝酸第 2 セリウムアンモンで導電膜 g 3 を選択的にエッチングする。それによって、ゲート電極 G T、走査信号線 G L、対向電圧信号線 C L、ゲート端子 G T M、共通バスライン C B 1 の第 1 導電層、対向電極端子 C T M 1 の第

導電層、ゲート端子G T Mを接続するバスラインS H g（図示せず）を形成する。

工程B、図13

プラズマCVD装置にアンモニアガス、シランガス、窒素ガスを導入して、膜厚が3500 Åの窒化S i膜を設け、プラズマCVD装置にシランガス、水素ガスを導入して、膜厚が1200 Åのi型非晶質S i膜を設けたのち、プラズマCVD装置に水素ガス、ホスフィンガスを導入して、膜厚が300 ÅのN(+)型非晶質S i膜を設ける。

工程C、図13

写真処理後、ドライエッチングガスとしてS F 6、C C l 4を使用してN(+)型非晶質S i膜、i型非晶質S i膜を選択的にエッチングすることにより、i型半導体層A Sの島を形成する。

工程D、図14

膜厚が300 ÅのC rからなる導電膜d 3をスパッタリングにより設ける。写真処理後、導電膜d 3を工程Aと同様な液でエッチングし、映像信号線D L、ソース電極S D 1、ドレイン電極S D 2、共通バスラインC B 2の第1導電層、およびドレイン端子D T Mを短絡するバスラインS H d（図示せず）を形成する。つぎに、ドライエッチング装置にC C l 4、S F 6を導入して、N(+)型非晶質S i膜をエッチングすることにより、ソースとドレイン間のN(+)型半導体層d 0を選択的に除去する。導電膜d 3をマスクパターンでパターニングした後、導電膜d 3をマスクとして、N(+)型半導体層d 0が除去される。つまり、i型半導体層A S上に残っていたN(+)型半導体層d 0は導電膜d 1、導電膜d 2以外の部分がセルフアラインで除去される。このとき、N(+)型半導体層d 0はその厚さ分は全て除去されるようエッチングされるので、i型半導体層A Sも若干その表面部分がエッチングされるが、その程度はエッチング時間で制御すればよい。

工程E、図14

プラズマCVD装置にアンモニアガス、シランガス、窒素ガスを導入して、膜厚が0.3 μmの窒化S i膜を設ける。写真処理後、ドライエッチングガスとし

てSF6を使用して窒化Si膜を選択的にエッチングすることによって、保護膜

PSV1をパターンニングする。

工程F、図15

感光性のある有機膜PSV2を塗布後、ホトマスクで感光し、パターンニングする。それをマスクとして絶縁膜GIを工程Eと同様な方法でドライエッチングする。したがって、有機膜PSV2と絶縁膜GIは同一ホトマスクでパターンニングされ、一括で加工される。

工程G、図15

膜厚が1400ÅのITO膜からなる透明導電膜i1をスパッタリングにより設ける。写真処理後、エッチング液として塩酸と硝酸との混酸液で透明導電膜i1を選択的にエッチングすることにより、ゲート端子GTMの最上層、ドレイン端子DTMおよび対向電極端子CTM1およびCTM2の第2導電層を形成する。

《表示パネルPNLと駆動回路基板PCB1》

図16は、図5等にした表示パネルPNLに映像信号駆動回路Hと垂直走査回路Vを接続した状態を示す上面図である。

CHIは表示パネルPNLを駆動させる駆動ICチップ（下側の5個は垂直走査回路側の駆動ICチップ、左の10個ずつは映像信号駆動回路側の駆動ICチップ）である。TCPは図13、図14で後述するように駆動用ICチップCHIがテープ・オートメィティド・ボンディング法（TAB）により実装されたテープキャリアパッケージ、PCB1は上記TCPやコンデンサ等が実装された駆動回路基板で、映像信号駆動回路用と走査信号駆動回路用の2つに分割されている。FGPはフレームグランドパッドであり、シールドケースSHDに切り込んで設けられたバネ状の破片が半田付けされる。FCは下側の駆動回路基板PCB1と左側の駆動回路基板PCB1を電氣的に接続するフラットケーブルである。フラットケーブルFCとしては図に示すように、複数のリード線（りん青銅の素材にSn鍍金を施したもの）をストライプ状のポリエチレン層とポリビニルアルコール層とでサンドイッチして支持したものを使用する。

《TCPの接続構造》

図17は走査信号駆動回路Vや映像信号駆動回路Hを構成する、集積回路チップCHIがフレキシブル配線基板に搭載されたテープキャリアパッケージTCPの断面構造を示す図であり、図18はそれを液晶表示パネルの、本例では走査信号回路用端子GTMに接続した状態を示す要部断面図である。

同図において、TTBは集積回路CHIの入力端子・配線部であり、TTMは集積回路CHIの出力端子・配線部であり、例えばCuから成り、それぞれの内側の先端部（通称インナーリード）には集積回路CHIのボンディングパッドPADがいわゆるフェースダウンボンディング法により接続される。端子TTB、TTMの外側の先端部（通称アウターリード）はそれぞれ半導体集積回路チップCHIの入力及び出力に対応し、半田付け等によりCRT／TFT変換回路・電源回路SUPに、異方性導電膜ACFによって液晶表示パネルPNLに接続される。パッケージTCPは、その先端部がパネルPNL側の接続端子GTMを露出した保護膜PSV1を覆うようにパネルに接続されており、従って、外部接続端子GTM（DTM）は保護膜PSV1かパッケージTCPの少なくとも一方で覆われるので電触に対して強くなる。

BF1はポリイミド等からなるベースフィルムであり、SR Sは半田付けの際半田が余計なところへつかないようにマスクするためのソルダレジスト膜である。シールパターンSLの外側の上下ガラス基板の隙間は洗浄後エポキシ樹脂EPX等により保護され、パッケージTCPと上側基板SUB2の間には更にシリコン樹脂SILが充填され保護が多重化されている。

《駆動回路基板PCB2》

駆動回路基板PCB2は、IC、コンデンサ、抵抗等の電子部品が搭載されている。この駆動回路基板PCB2には、1つの電圧源から複数の分圧した安定化された電圧源を得るための電源回路や、ホスト（上位演算処理装置）からのCRT（陰極線管）用の情報をTFT液晶表示装置用の情報に変換する回路を含む回路SUPが搭載されている。CJは外部と接続される図示しないコネクタが接続されるコネクタ接続部である。

駆動回路基板 P C B 1 と駆動回路基板 P C B 2 とはフラットケーブル F C に

より電氣的に接続されている。

《液晶表示モジュールの全体構成》

図 1 9 は、液晶表示モジュール M D L の各構成部品を示す分解斜視図である。

S H D は金属板から成る枠状のシールドケース（メタルフレーム）、L C W その表示窓、P N L は液晶表示パネル、S P B は光拡散板、L C B は導光体、R M は反射板、B L はバックライト蛍光管、L C A はバックライトケースであり、図に示すような上下の配置関係で各部材が積み重ねられてモジュール M D L が組み立てられる。

モジュール M D L は、シールドケース S H D に設けられた爪とフックによって全体が固定されるようになっている。

バックライトケース L C A はバックライト蛍光管 B L、光拡散板 S P B 光拡散板、導光体 L C B、反射板 R M を収納する形状になっており、導光体 L C B の側面に配置されたバックライト蛍光管 B L の光を、導光体 L C B、反射板 R M、光拡散板 S P B により表示面で一様なバックライトにし、液晶表示パネル P N L 側に出射する。

バックライト蛍光管 B L にはインバータ回路基板 P C B 3 が接続されており、バックライト蛍光管 B L の電源となっている。このように構成した液晶表示素子の効果は、以下の 3 つの作用から発生する。

<作用 1>

一方の透明基板側に形成されている映像信号線に対して、平面的に見て完全に重畳させた状態で基準電極が有機絶縁膜上に形成されていることにより、映像信号線から発生する不要な電気力線のほとんど全てが、基準電極に終端する。したがって、横電界を用いる本発明の表示方式のような表示方式において特有の漏洩電界によるクロストークが解消される。これにより、従来、クロストークを低減するために、映像信号線の両脇、または対向基板上に配置していたシールド電極より、漏洩電界を完全にシールドできるため、画素の水平方向を表示用電極と基準電極および開口部で占有できる。また、映像信号線と基準電極間の隙間を隠す

必要もなくなるため、垂直方向の遮光膜（ブラックマトリクス）もなくなる。こ

れにより、横電界を用いる表示方式の最大の欠点である低開口率を抜本的に改善することができ、50%を越える開口率を実現できる。すなわち、本発明では高開口率と低スミアの両立が可能となる。

<作用2>

有機絶縁膜は、無機絶縁膜と比較して、その比誘電率が約半分（比誘電率 ϵ_r が3程度）である。また、有機膜は無機膜と比較して厚みを厚くすることが容易であるので、映像信号線と基準電極間の距離が広がる。これ映像信号線に基準電極を完全に覆い被せても、映像信号線と基準電極間に形成される容量はかなり小さくできる。したがって、映像信号線から見たときの負荷が軽くなるため、映像信号の配線伝搬遅延が小さくなり、信号電圧が十分に表示電極に充電でき、かつ、映像信号線を駆動するための駆動回路の縮小ができるようになる。

<作用3>

有機膜は、平坦性が非常に良いので、有機膜を能動素子を形成する基板の最上層に塗布することにより有機膜を能動素子を形成する基板の平坦度を向上することができる。これにより、基板間のギャップのばらつきによる輝度（透過率）－電圧特性のばらつきをなくすことができ、輝度の均一性を向上することができる。

以上説明したことから明らかなように、本実施例の液晶表示装置では、横電界方式を用いた超広視野角の液晶表示装置において本質的な問題で有るいわゆる縦スミアを抑制することが、消費電力の低減、周辺回路規模の縮小と同時に図ることができる。さらに、輝度の均一性を改善することができる。

（実施例2）

本実施例は下記の要件を除けば、実施例1と同一である。図20に画素の平面図、図21に櫛歯電極部の断面図を示す。

《画素電極PX》

本実施例では、画素電極PXはソース電極SD1、ドレイン電極SD2と同層の導電膜d3で構成されている。また、画素電極PXはソース電極SD1と一体に形成されている。

本実施例では、実施例 1 の効果に加え、透過率は犠牲になるが、画素電極 P X とのコンタクト不良が回避できる。また、画素電極 P X が絶縁膜（保護膜 P S V 1）で覆われているため、配向膜欠陥があった場合に液晶を直流電流が流れる可能性減り、液晶劣化等がなくなり、実施例 1 と比較しさらに信頼性が向上する。（実施例 3）

本実施例は下記の要件を除けば、実施例 1 と同一である。図 2 2 に本実施例の画素の断面図を示す。

《保護膜 P S V 1、有機保護膜 P S V 2》

本実施例では、保護膜 P S V 1、有機膜 P S V 2 は、外部接続端子 D T M、G T M を露出するよう保護膜 P S V 1、有機膜 P S V 2 を一括で除去する。したがって、実施例 1 と異なり、画素のほとんどの部分に保護膜 P S V 1 が形成される。また、画素部では、対向電圧信号線 C L と後述の対向電極 C T との電氣的接続、および、ソース電極 S D 2 と画素電極 P X との電氣的接続のための、スルーホール T H 2 および T H 1 では、スルーホール T H 2 は、有機膜 P S V 2、保護膜 P S V 1 および絶縁膜 G I が一括で加工され、g 3 層までの孔があき、スルーホール T H 1 では有機膜 P S V 2 および保護膜 P S V 1 が一括で加工され、d 3 でブロッキングされるので d 3 層までの孔があく。

本実施例では、有機膜 P S V 2 はレジスト材が用いられているので、まず、ホトリソグラフィで、レジスト材を感光し、スルーホール部分のレジスト材を取り除き、レジスト材のパターンを形成する。このレジスト材のパターンをマスクとして、保護膜 P S V 1 及び絶縁膜 G I を一括にエッチングして保護膜 P S V 1 及び絶縁膜 G I のパターンを形成する。この工程は実施例 1 の T F T を形成するために用いているものと同じである。ここで、通常はこのレジスト材を除去してしまうのであるが、本発明では、このレジスト材をそのまま残し、有機保護膜 P S V 2 として使用する。

さらに、本実施例では保護膜 P S V 1 を $0.1 \mu\text{m}$ と極薄にすることで、保護膜 P S V 1 のエッチング時間が長くなることを抑え、スループットを向上している。保護膜 P S V 1 は、薄膜トランジスタ素子 T F T のバックチャネル部の保護

すなわち薄膜トランジスタのしきい値電圧 V_{th} を安定にするためであり、0.

0.5から0.3 μm 程度で十分である。

これにより、実施例1では、有機保護膜PSV2、保護膜PSV1及び絶縁膜GIをそれぞれ、個別のホトマスクを用いて個別のホトリソグラフィ工程で作製していたが、本実施例では、それらが1つのマスクにより一括で加工できるので、実施例1に比べてTFT基板を作製するためのスループットが大幅に向上し、その結果、量産性が大幅に向上する。

また、有機保護膜PSV2と絶縁膜GIを一括で加工する場合や、有機保護膜PSV2と保護膜PSV1を一括で加工する場合も本実施例と同じように行うことができ、本発明の範疇に含まれる。

したがって、本実施例では、実施例1の効果に加えて、量産性が大幅に向上する。

(実施例4)

本実施例は、以下を除き、実施例1と同様である。

《マトリクス部（画素部）の平面構成》

図23は本実施例のアクティブ・マトリクス方式カラー液晶表示装置の一画素とその周辺を示す平面図である。

《遮光膜BM》

本実施例では、画素パターンの水平方向のみにストライプ状の遮光膜BMを形成する。これにより、カラーフィルタ基板とTFT基板の合わせズレによる開口率の低下が解消される。画素パターンの垂直方向の遮光膜のパターンが水平方向にずれた場合、大幅に開口率を低下させる。本実施例では、垂直方向の遮光膜のパターンをなくすことにより、このたとえこの合わせズレが起きた場合でも、開口率はほとんど変わらなくした。これは、対向電極CTを完全に映像信号線DLに覆い被せることにより、液晶層から見たとき、画素の水平方向には、画素電極と対向電極の繰り返しのパターン以外は何にも存在しないために、可能になる。

よって、本実施例では、水平方向のみにストライプ状の遮光膜BMにより、TFT上の遮光と、対向電極と走査信号線の間の光漏れ部だけ遮光するだけでよい

。したがって、本実施例では、実施例 1 の効果に加え、さらに、大幅に開口率を向

上し、輝度向上することができる。

(実施例 5)

本実施例は下記の要件を除けば、実施例 2 と同一である。図 2 4 に画素の平面図、図 2 5 に櫛歯電極部の断面図を示す。

《対向電極 C T》

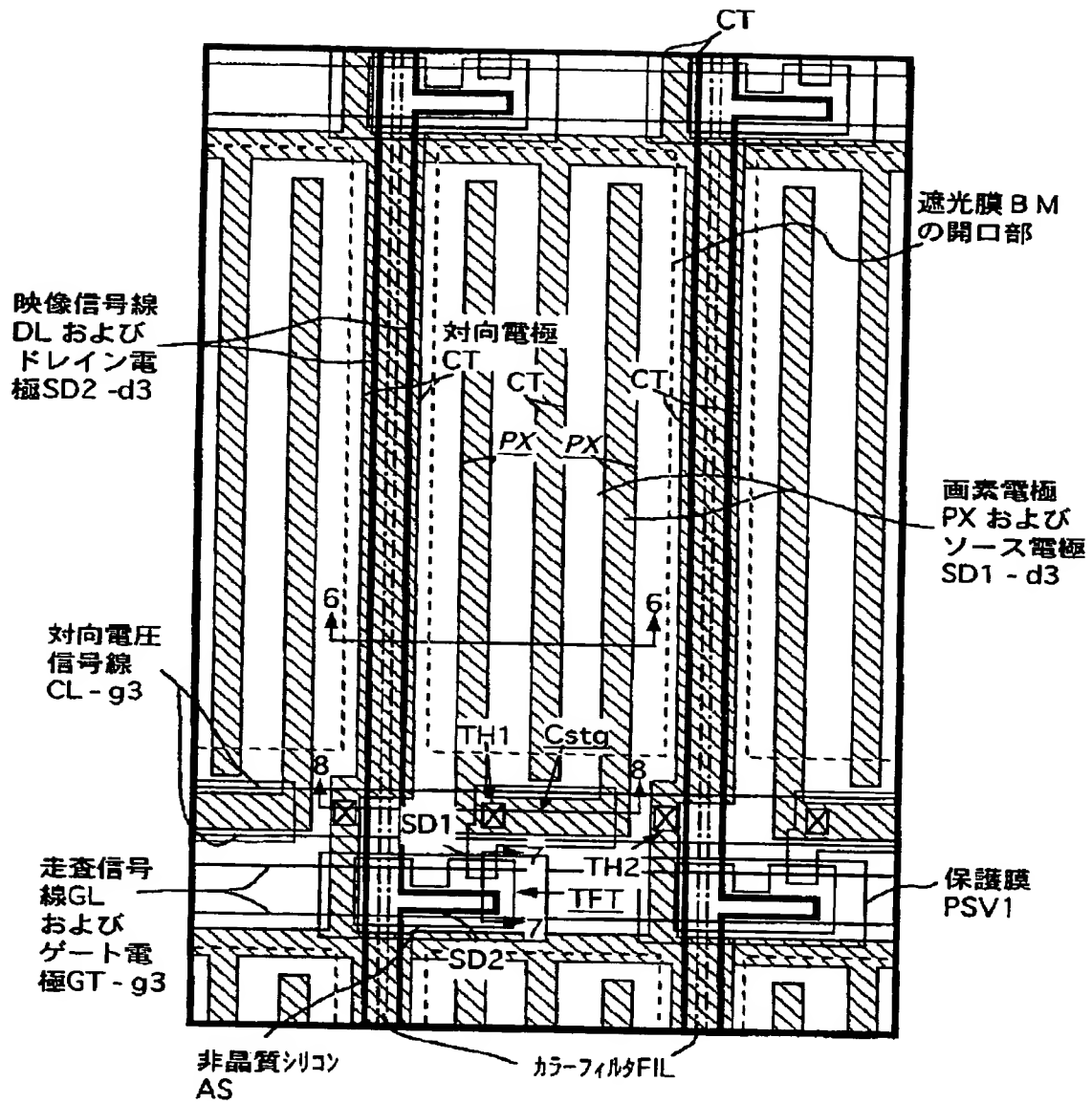
本実施例では、対向電極 C T は、走差信号線 G L、ゲート電極 G T、対向電極信号線 C L と同層の導電膜 g 3 で構成されている対向電極信号線 C L から突起した部分と、実施例 2 と同様に保護膜 P S V 2 上に導電膜 i 1 で構成した部分がある。また、導電膜 g 3 で構成されている対向電極信号線 C L から突起した部分と保護膜 P S V 2 上に導電膜 i 1 で構成した部分にはスルーホールを開けて電氣的に接続しており、映像信号線を包込むように構成している。

これにより、本実施例では、実施例 1 および実施例 2 より更に横電界方式特有の漏洩電界を低減することができ、クロストークが解消される。

以上説明したことから明らかなように、本実施例の液晶表示装置では、横電界方式を用いた超広視野角の液晶表示装置において本質的な問題で有るいわゆる縦スミアを抑制することが、輝度向上、消費電力の低減、周辺回路規模の縮小および輝度の均一性向上と同時に図ることができる。

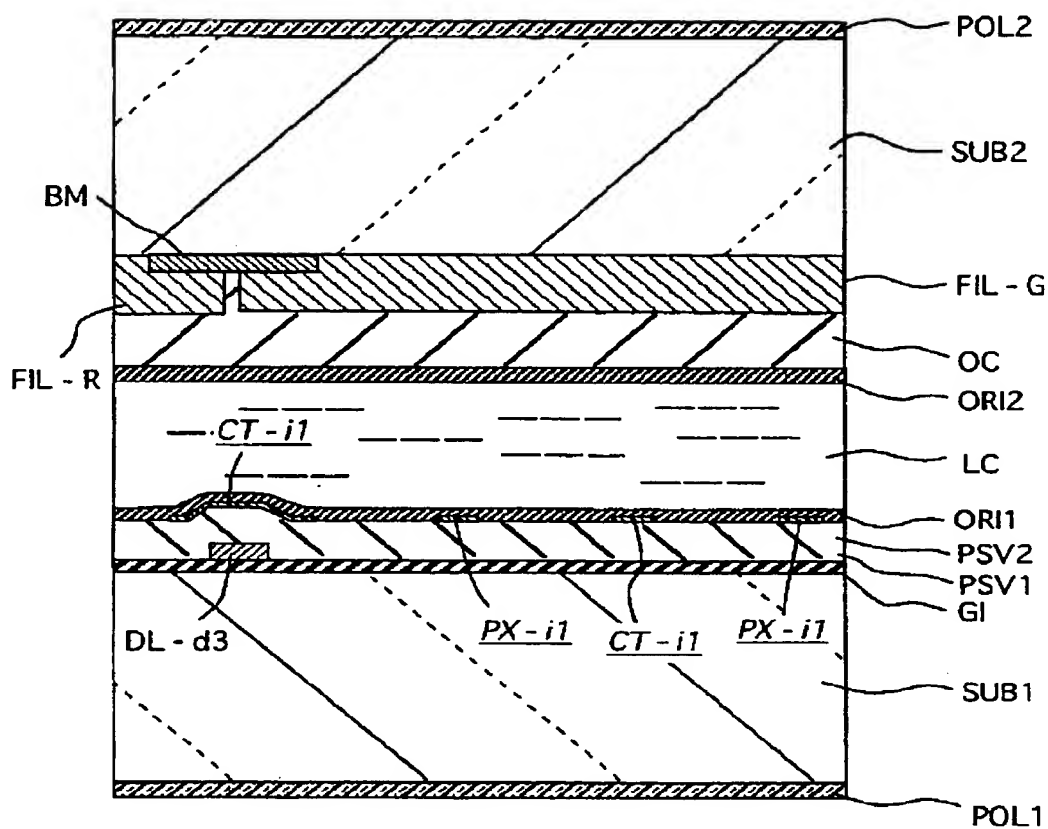
【図1】

図1

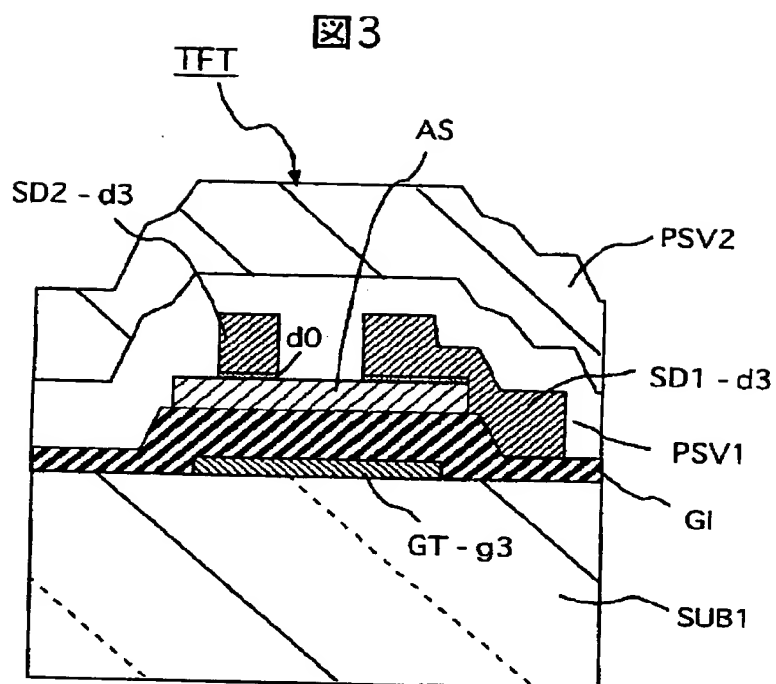


【図2】

図2

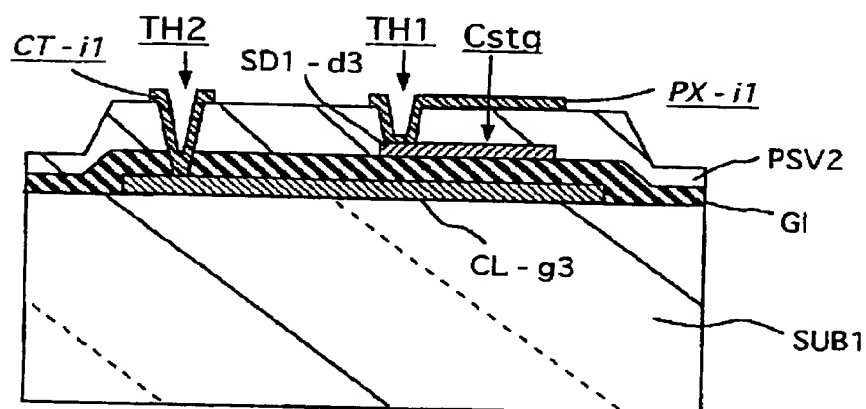


【図3】



【図4】

図4



【図5】

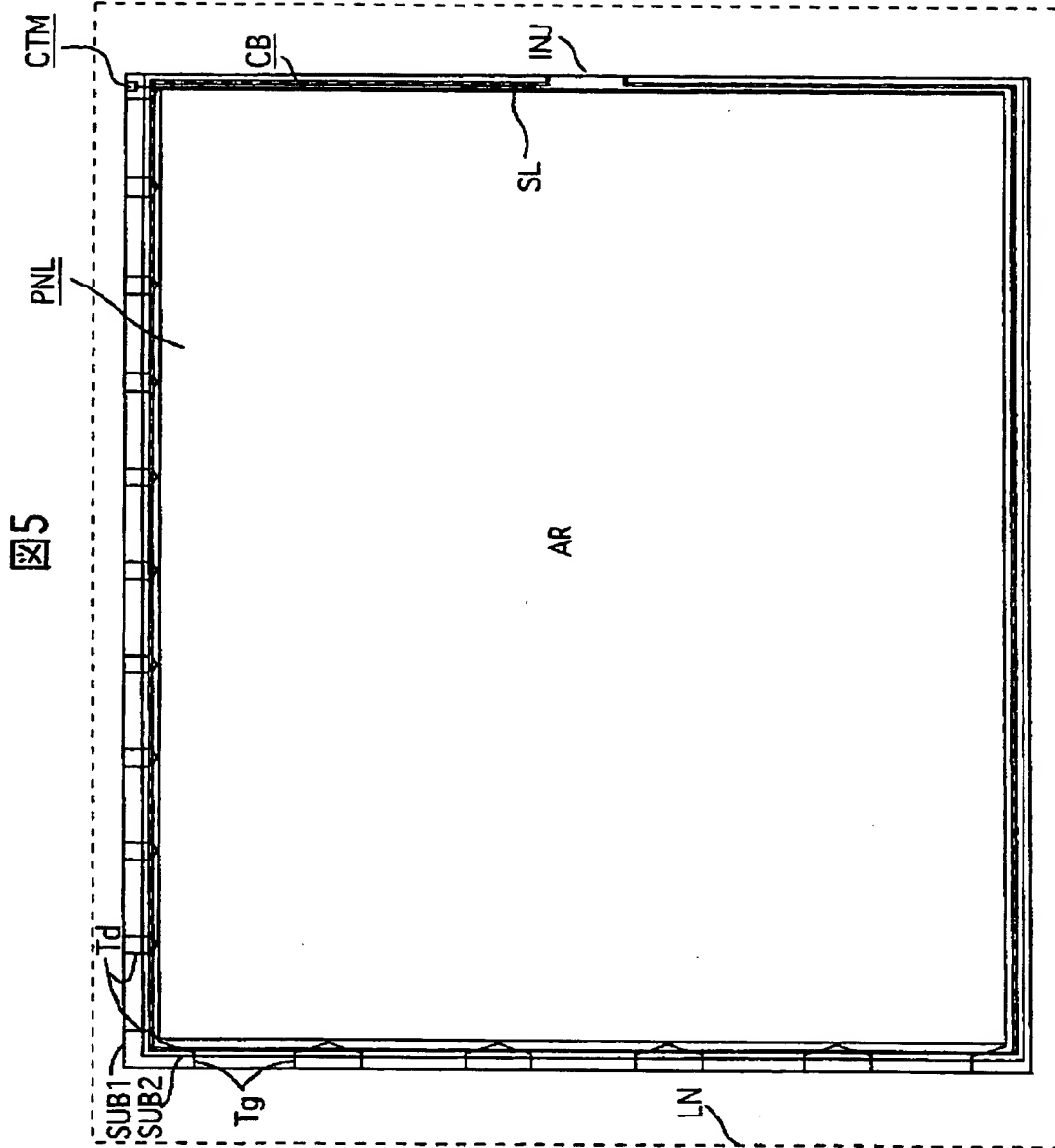
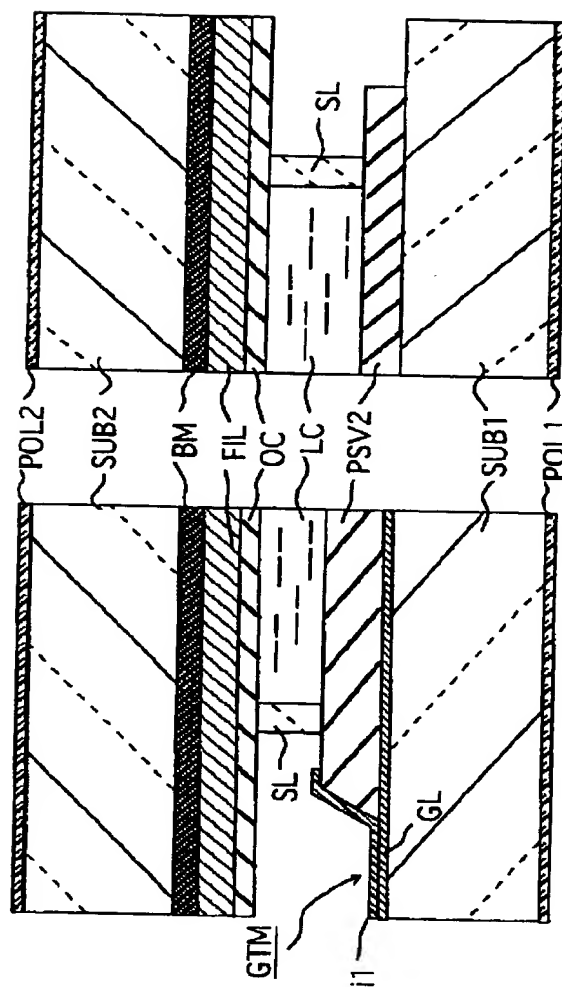


図5

【図6】

図6



【図7】

図7A

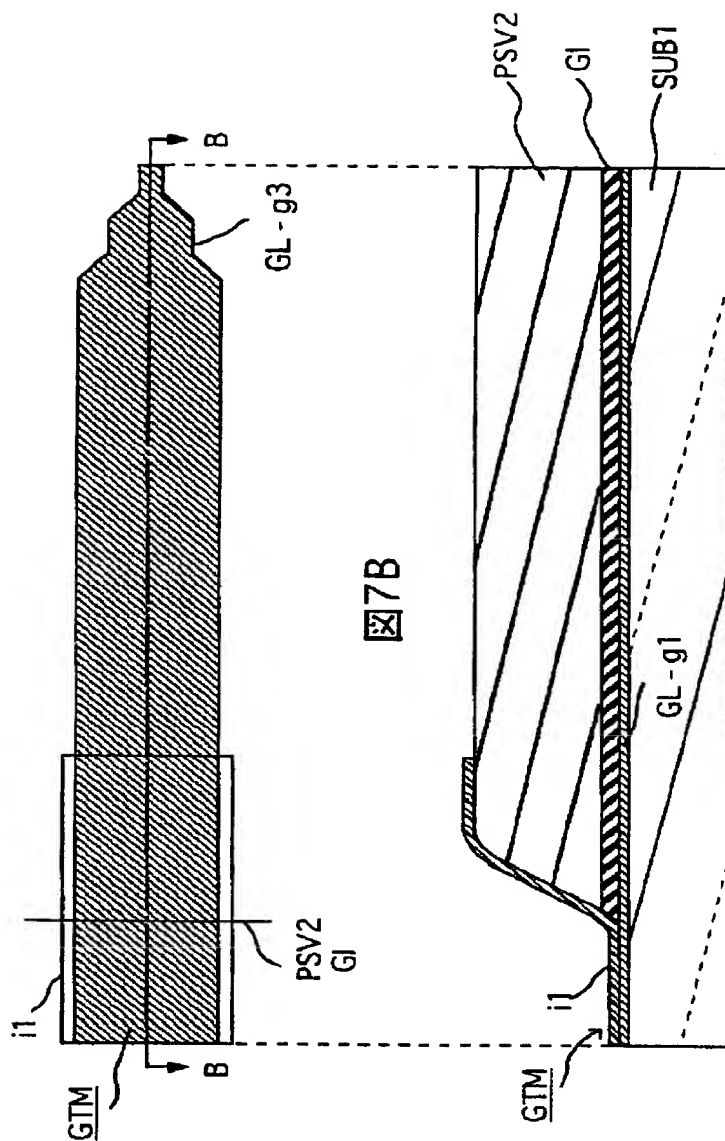
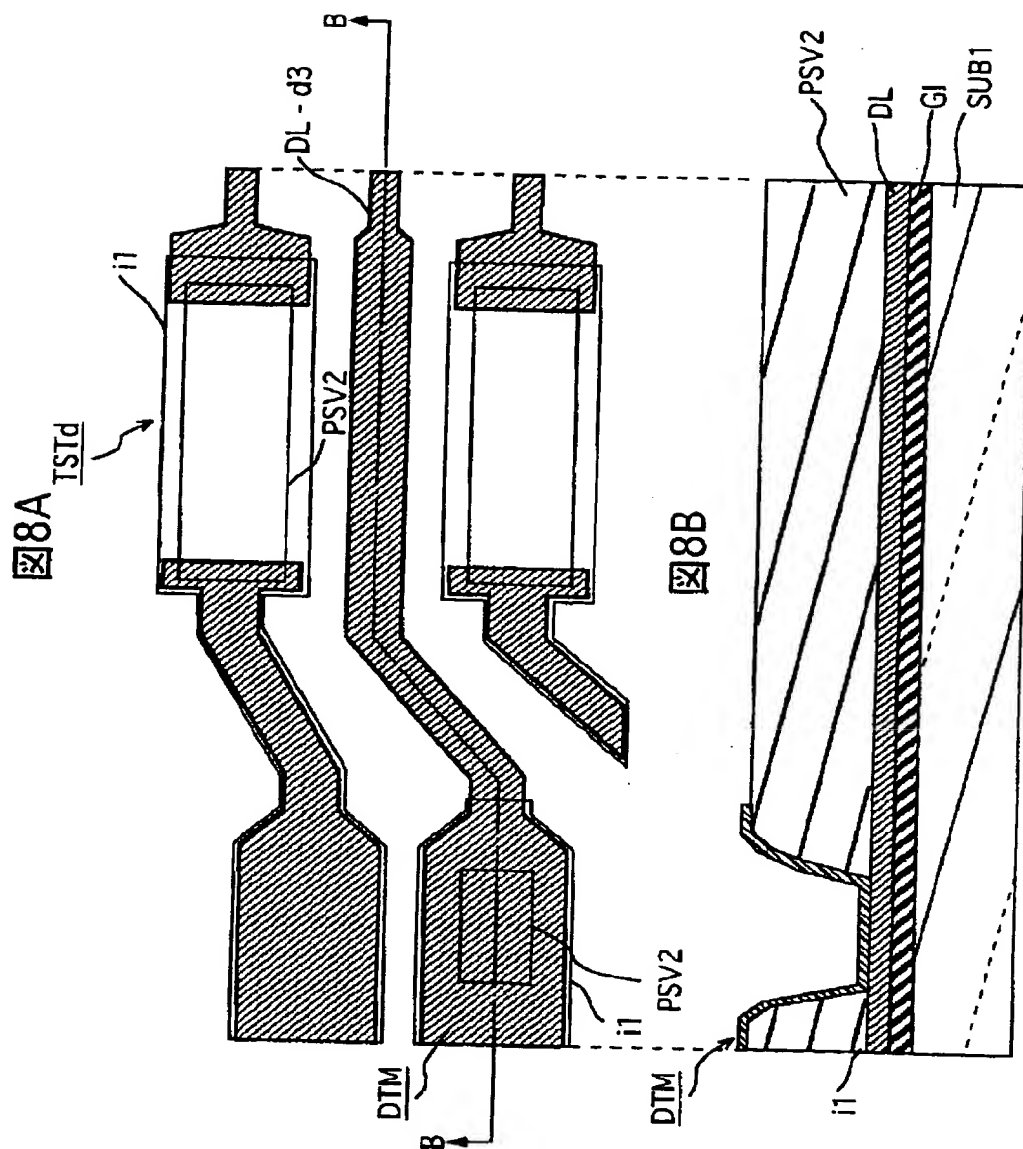


図7B

【図8】



【図9】

図9A

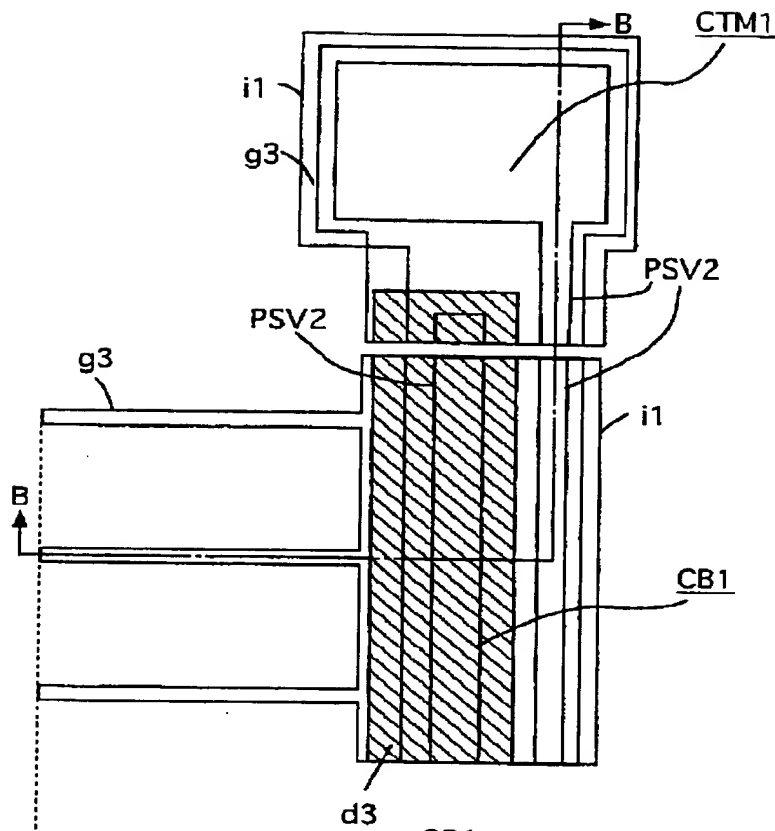
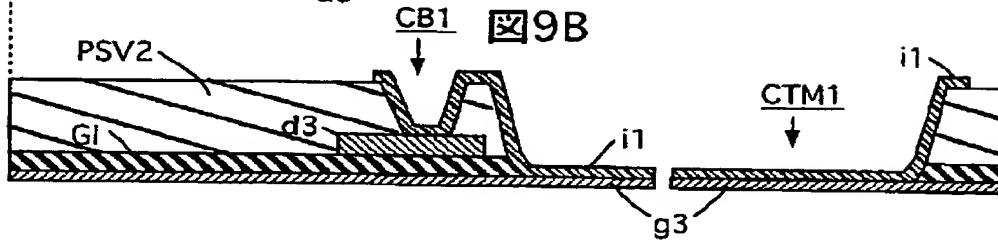
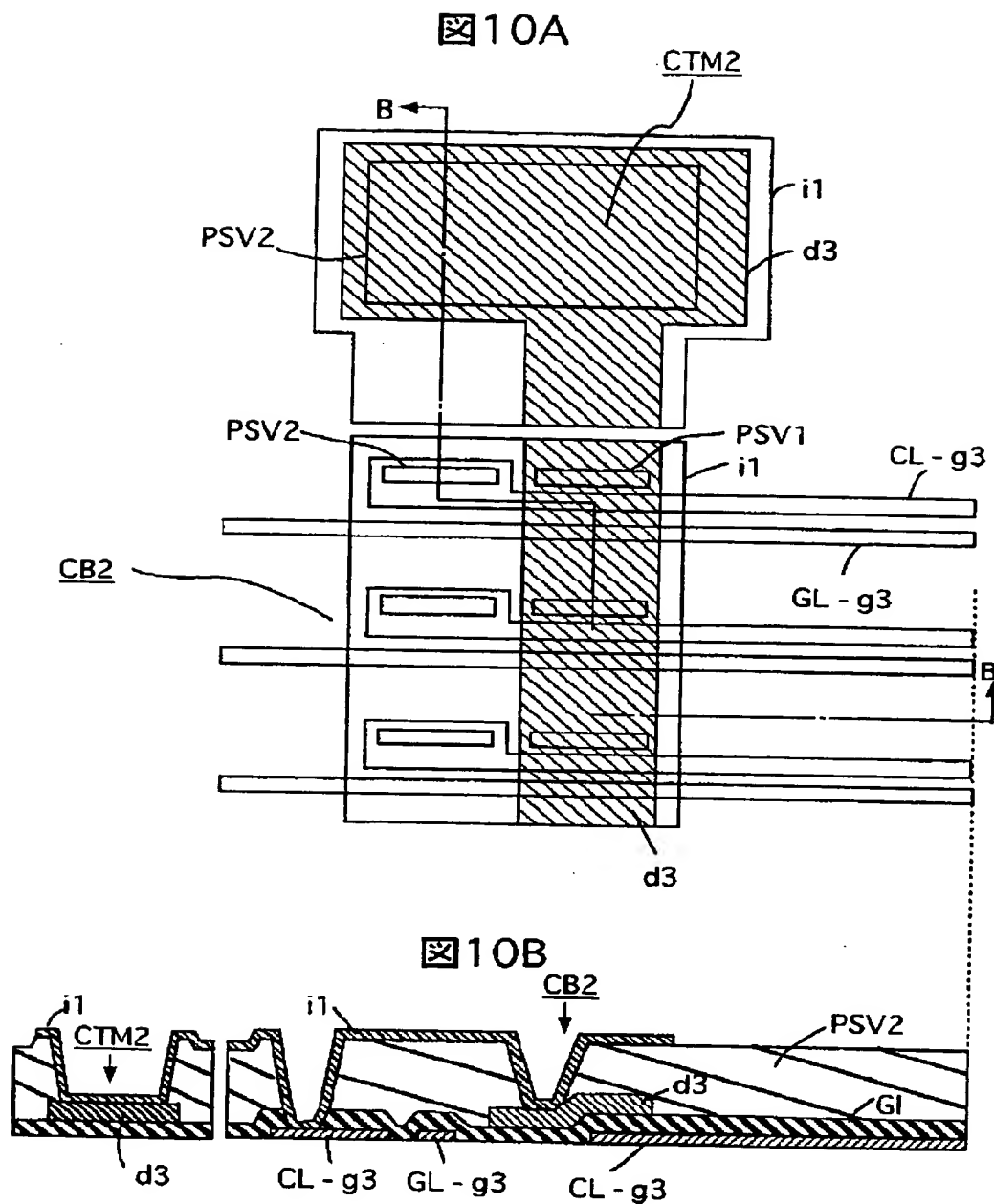


図9B

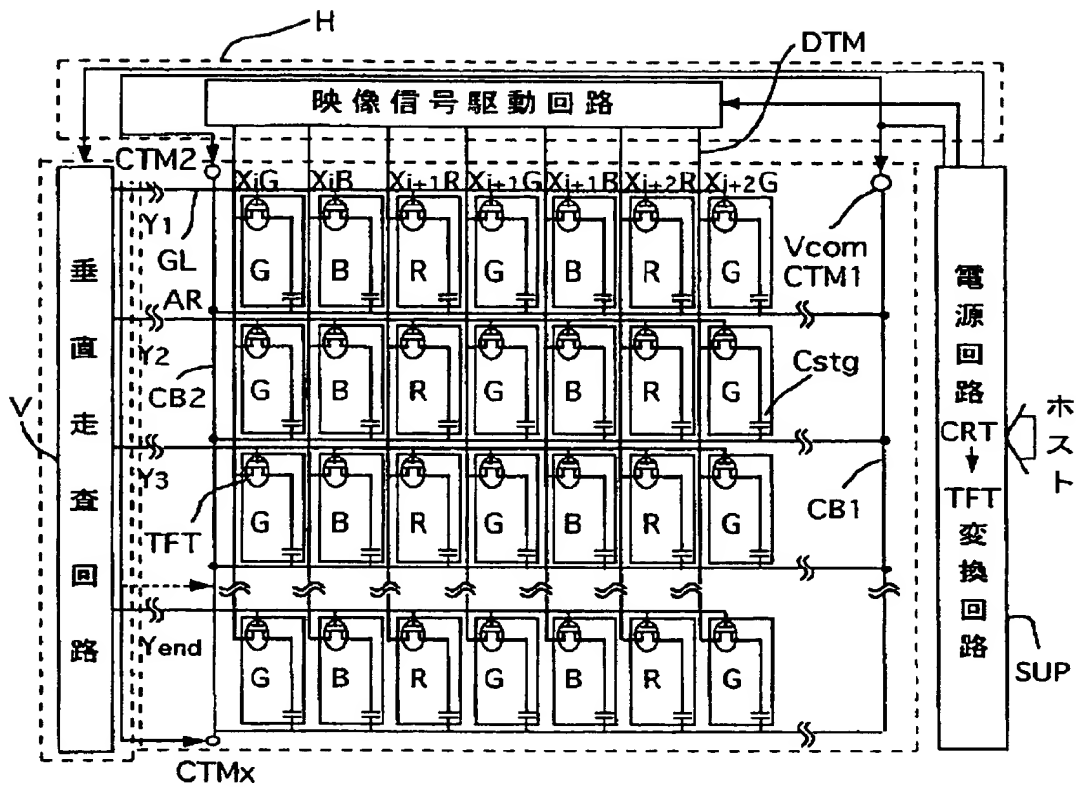


【図10】

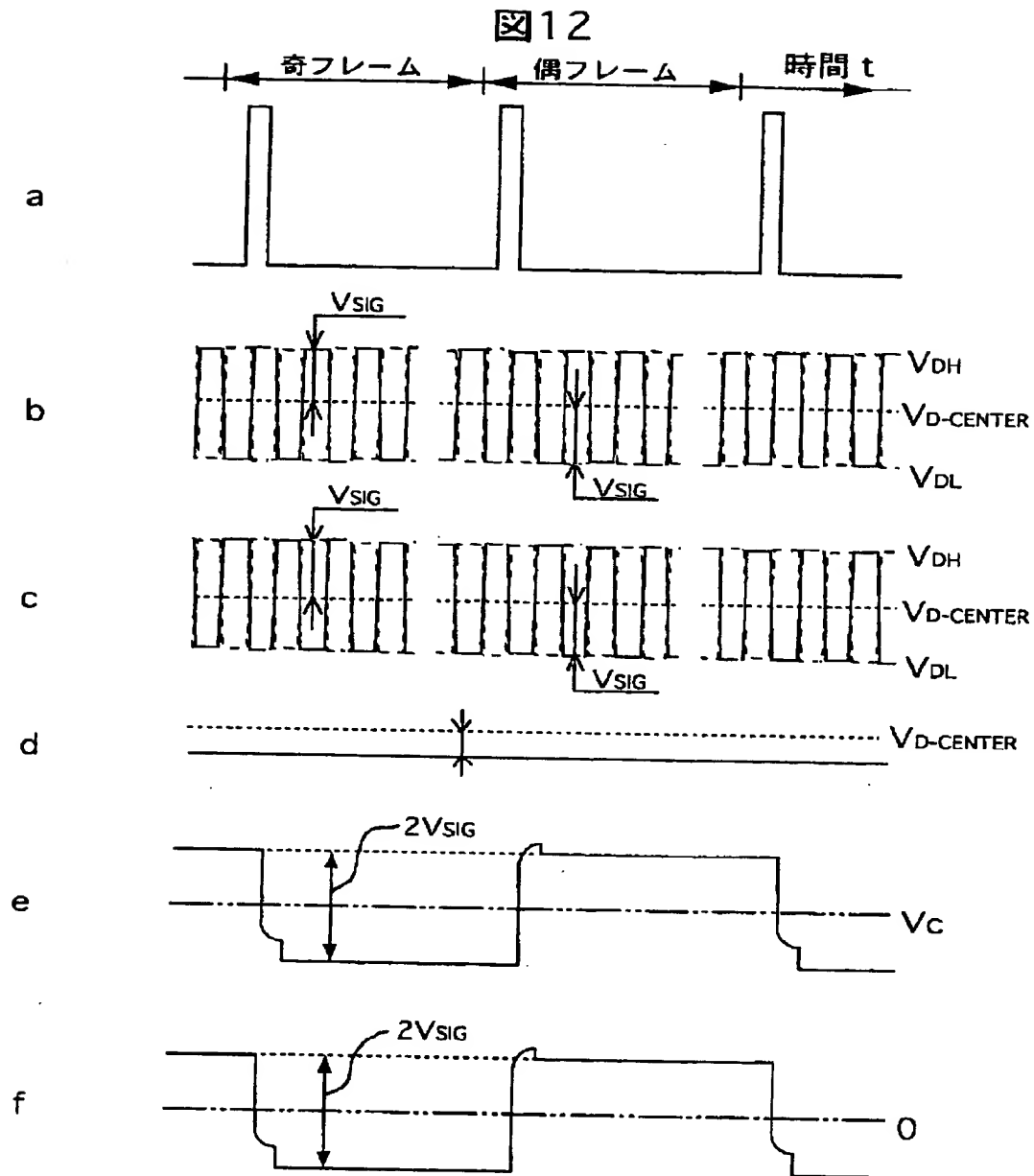


【図 1 1】

图 17

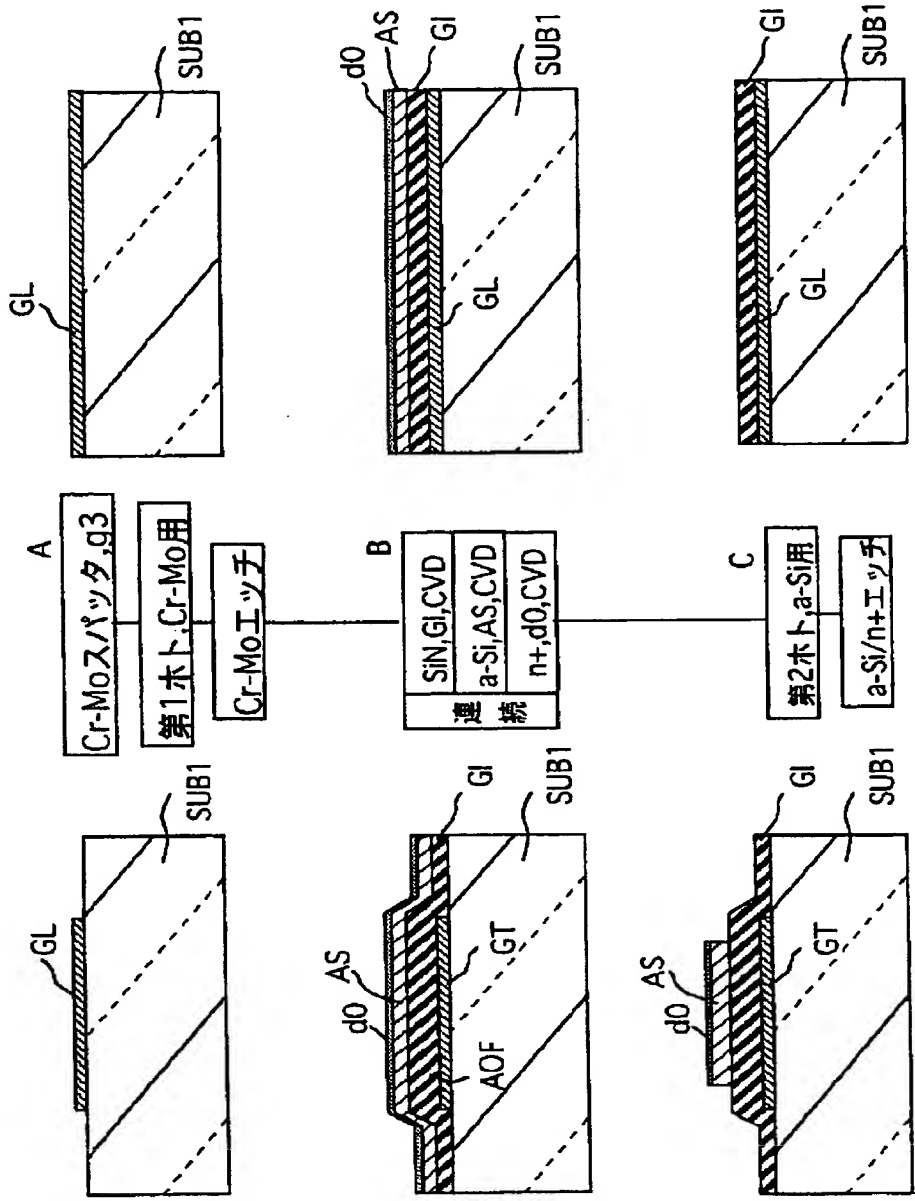


【図12】



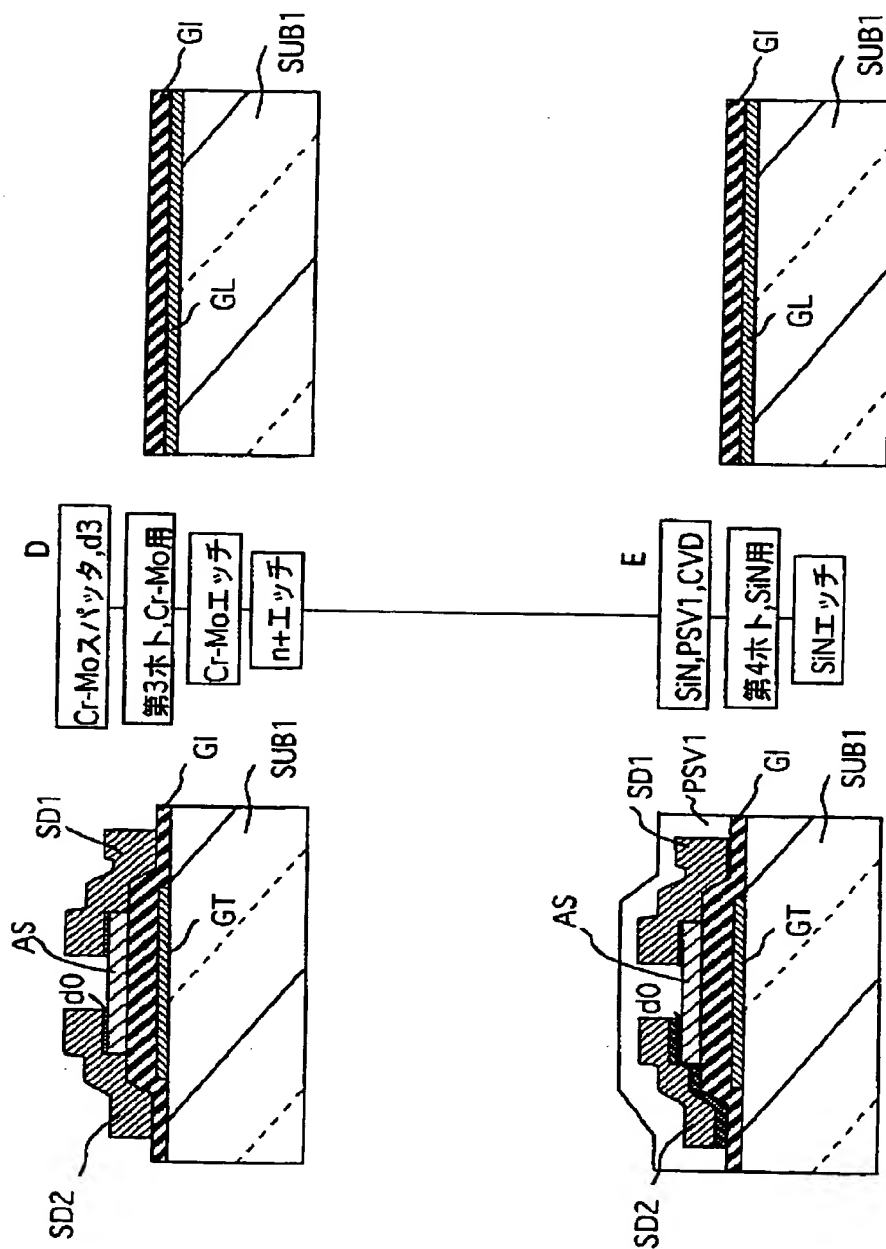
【図13】

図13

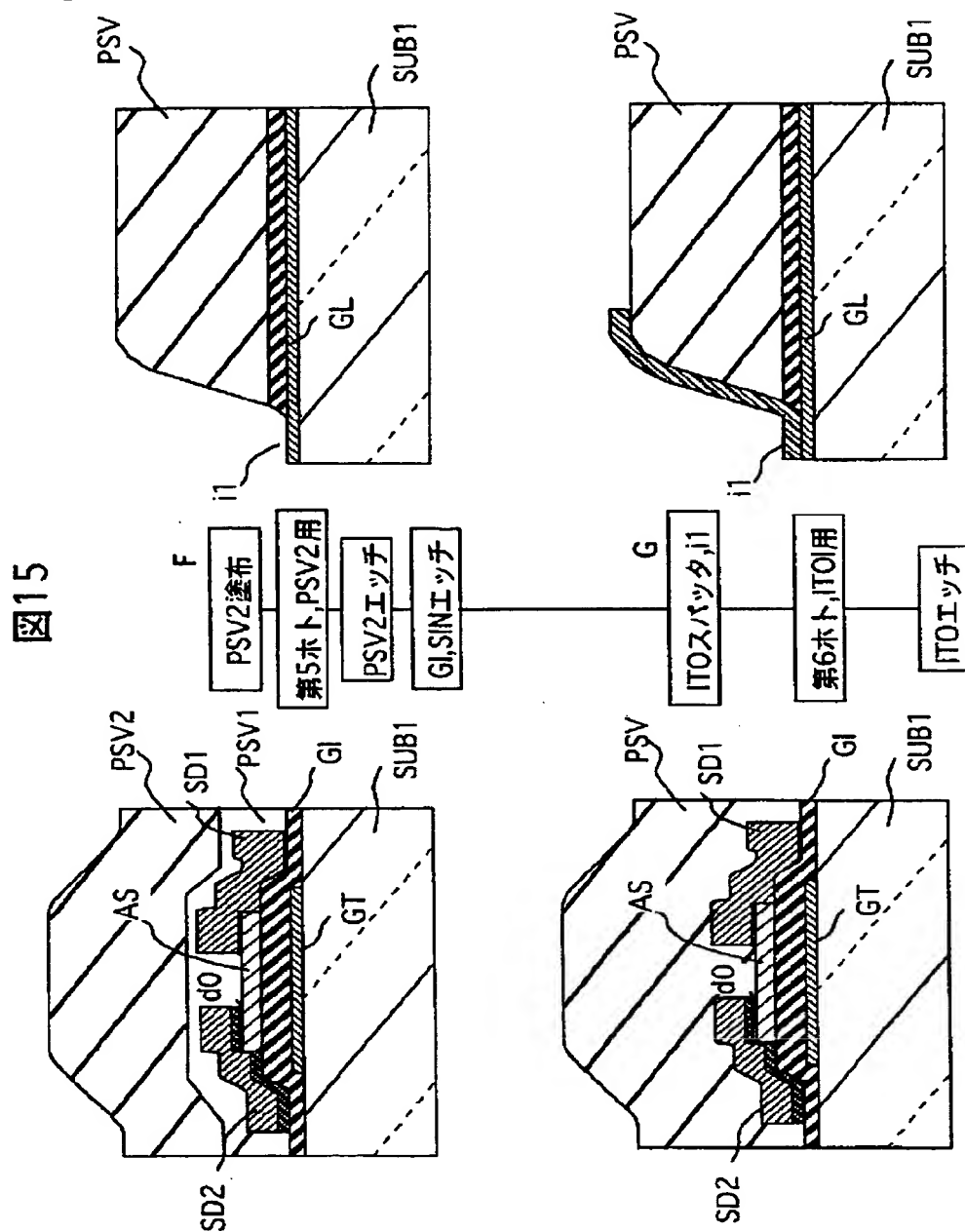


【図14】

図14

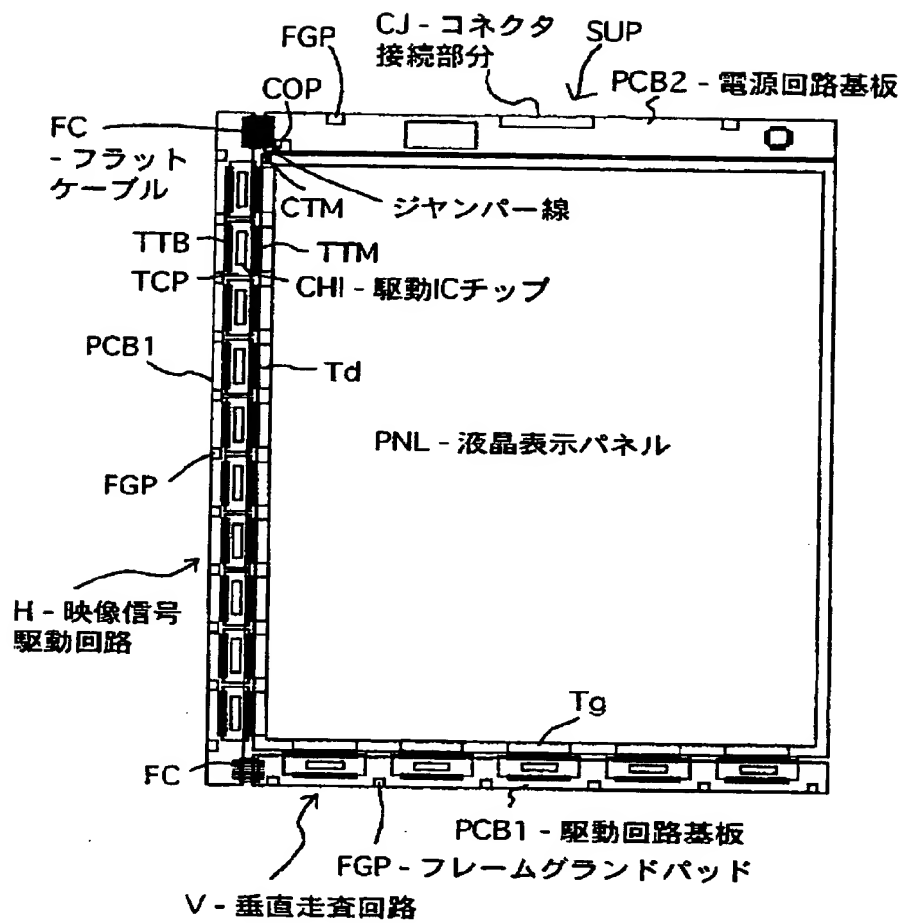


【図 15】



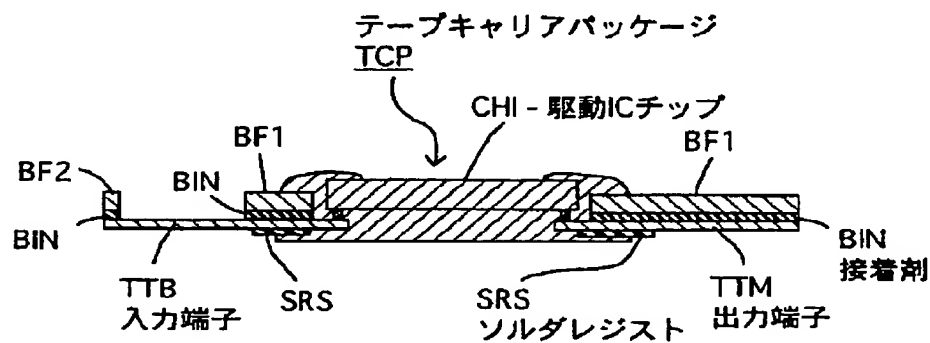
【図16】

図16



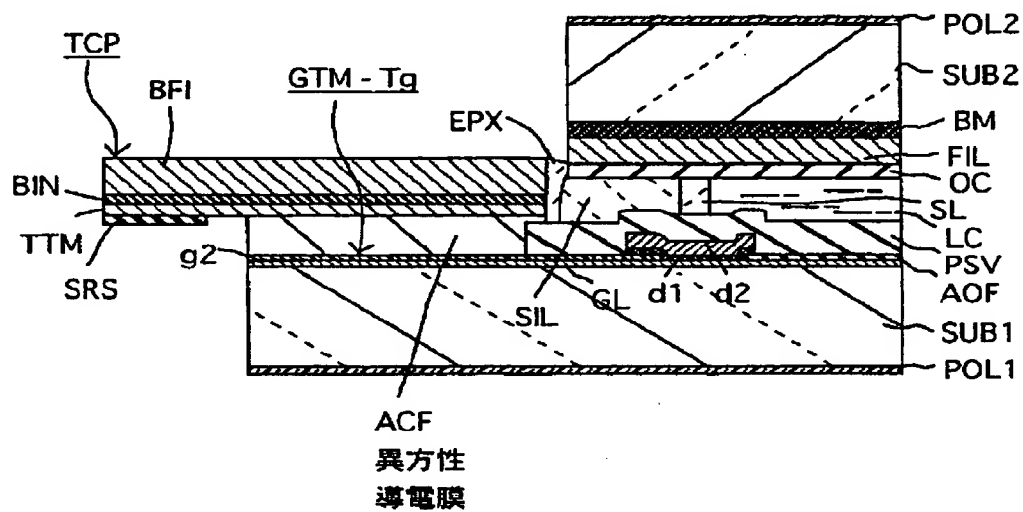
【図17】

図17



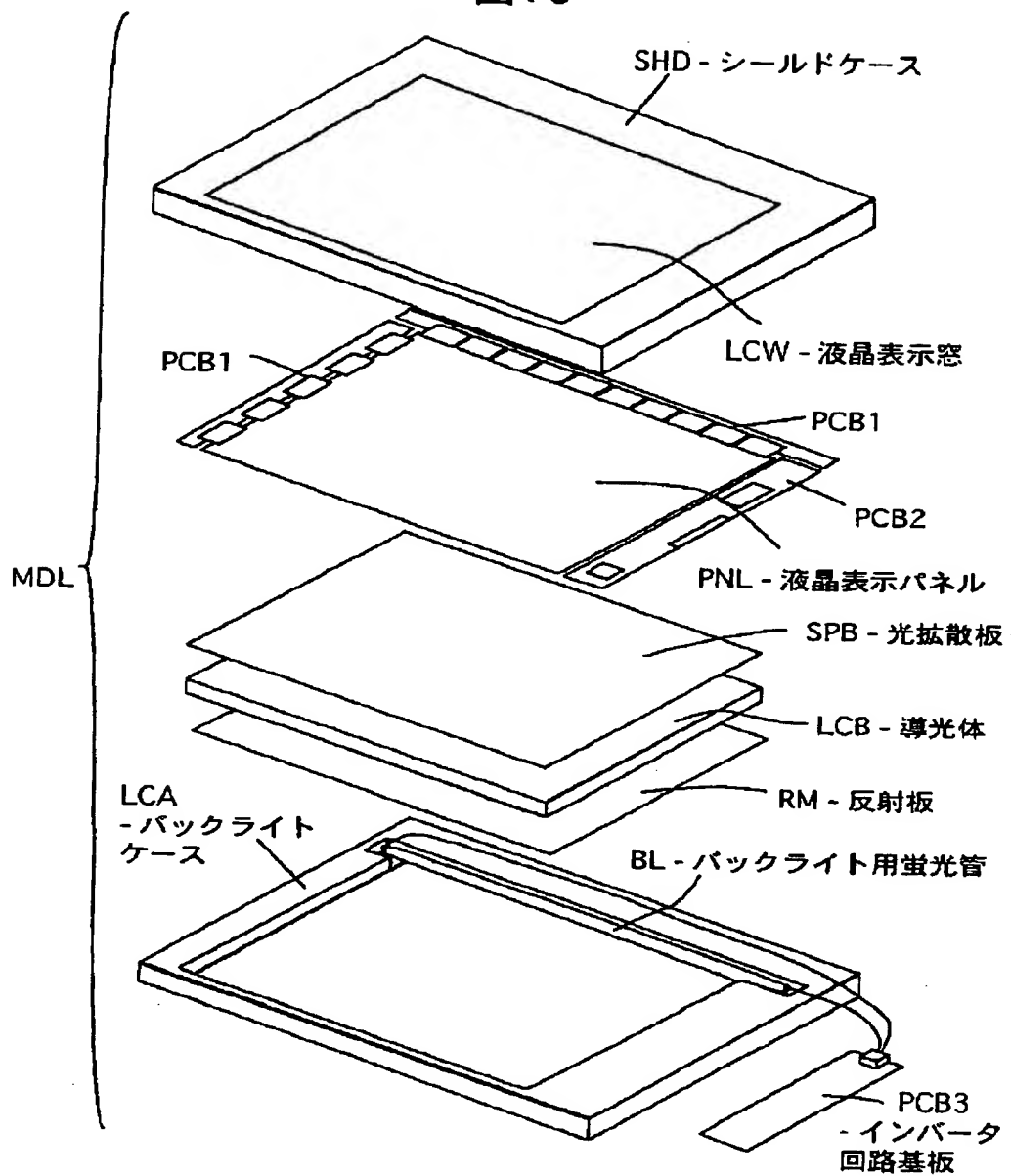
【図18】

図18



【図19】

図19



【図20】

図20

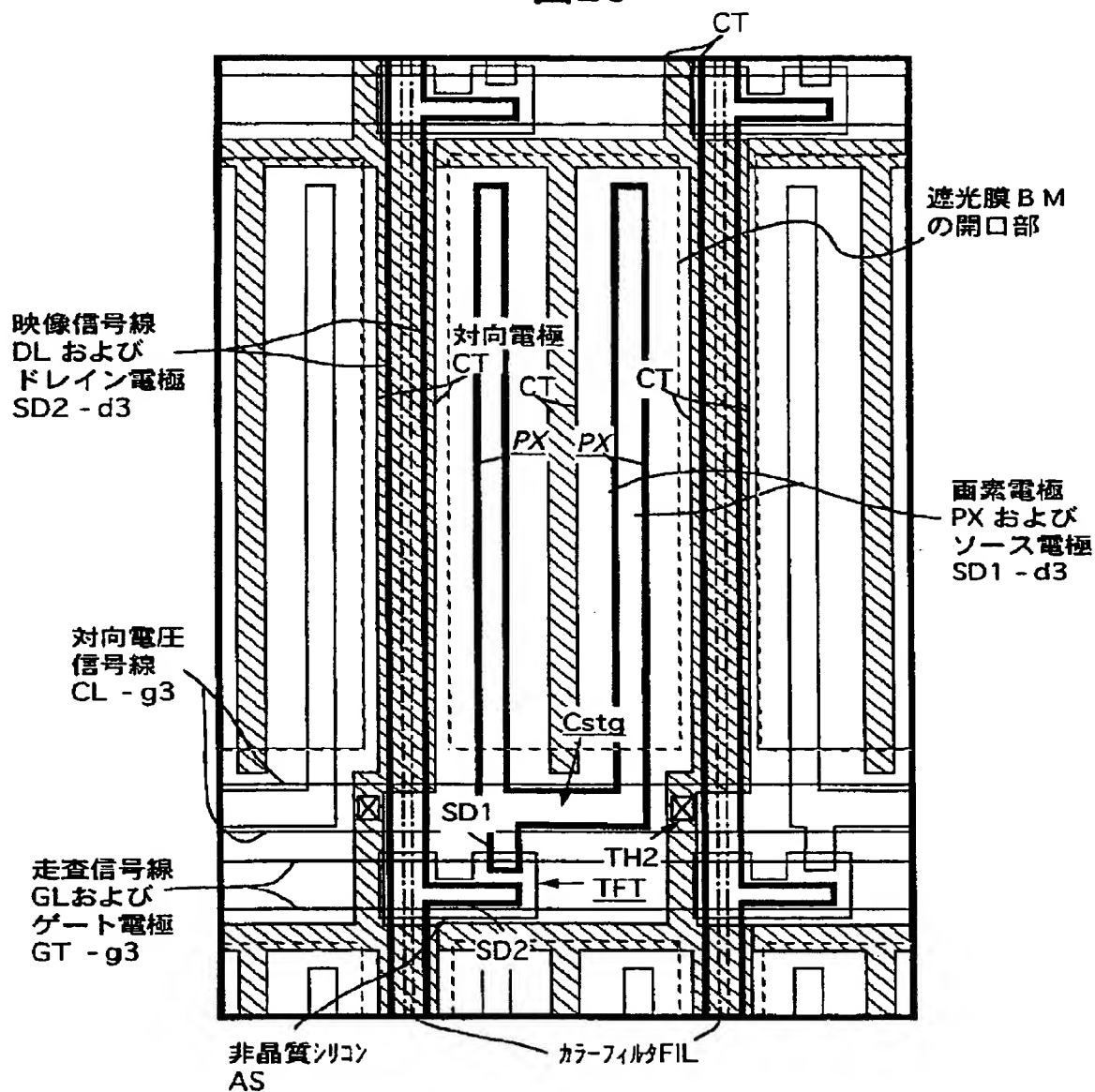


图21



【図22】

図22

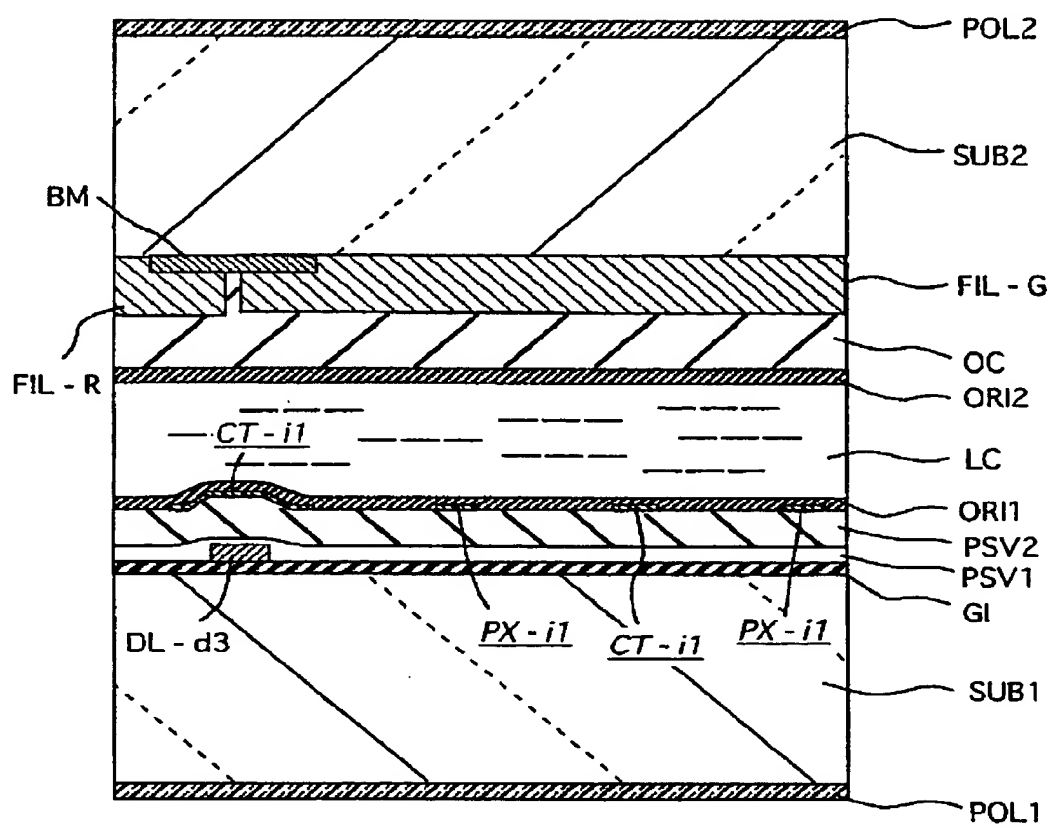
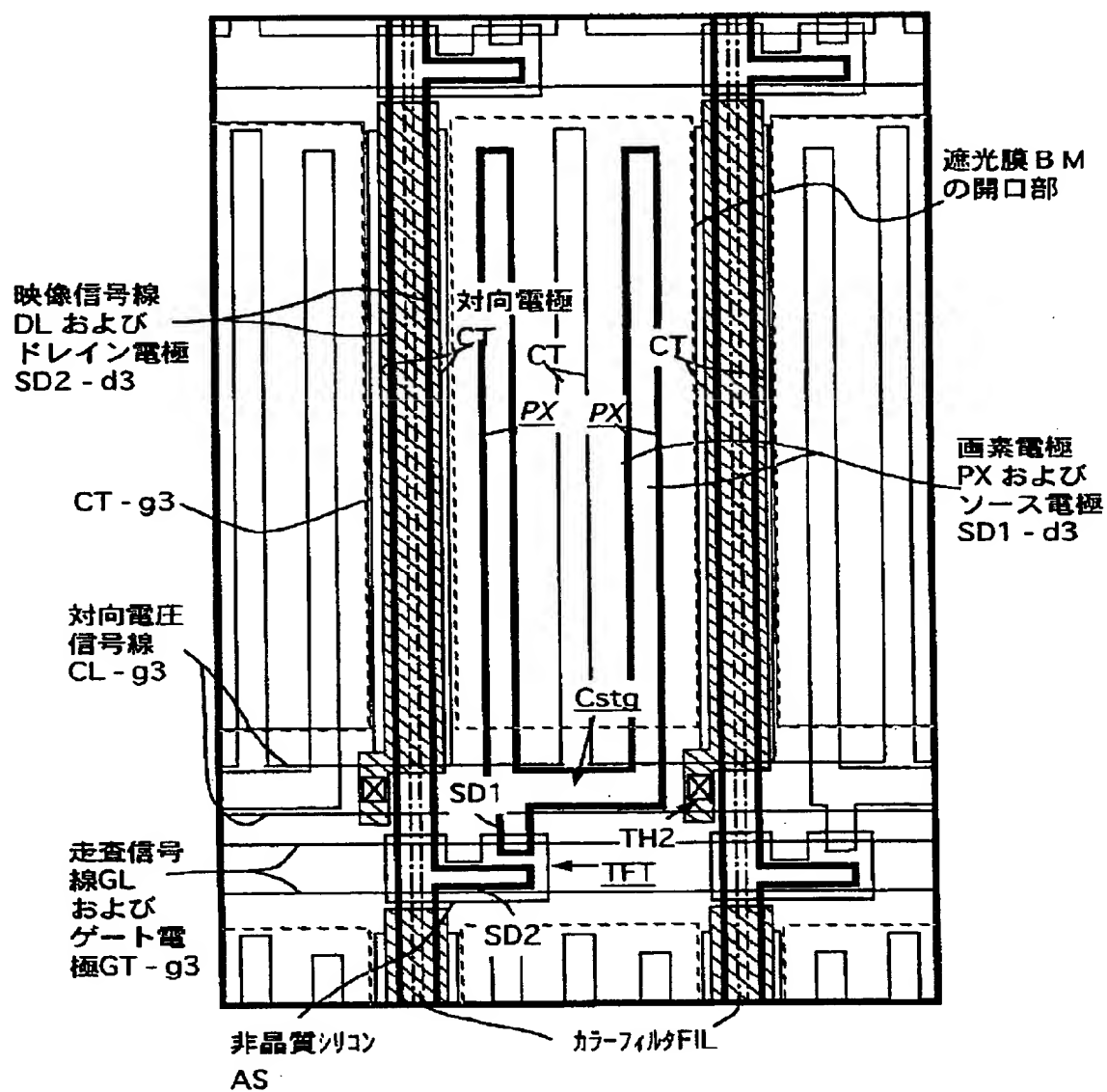


图23



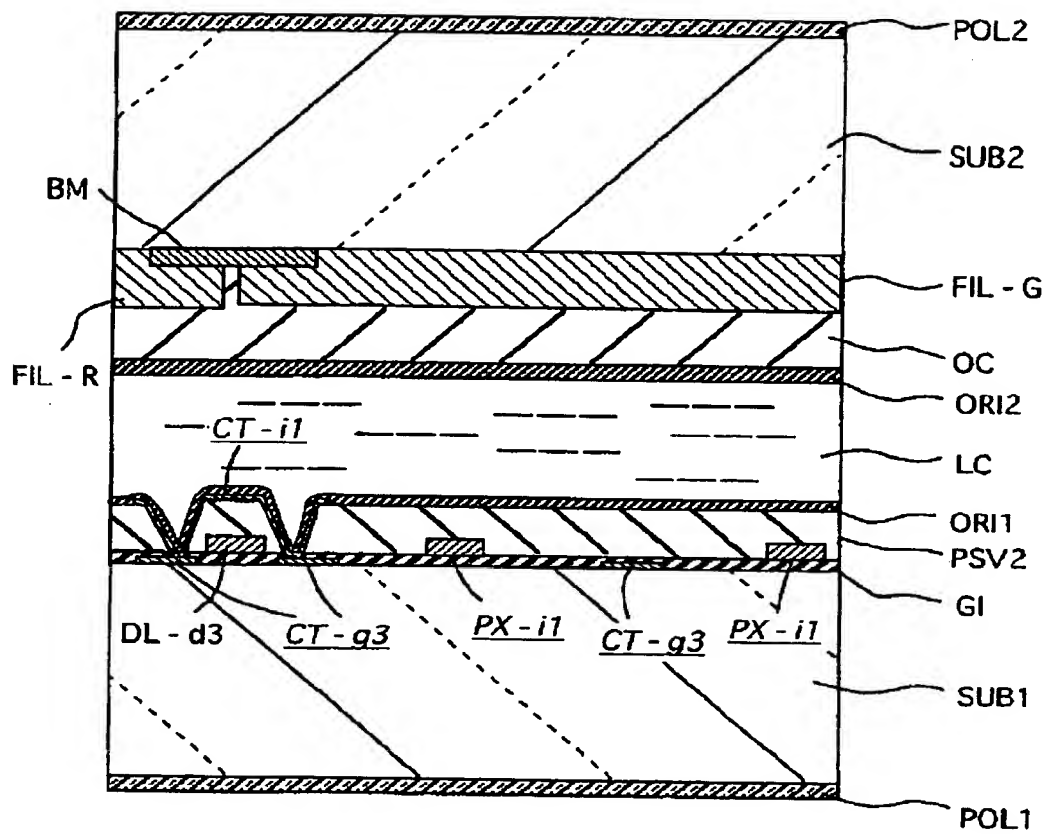
【図 24】

图24



【図25】

図25



【国際調査報告】

国際調査報告		国際出願番号 PCT/JP98/01500
A. 発明の属する分野の分類 (国際特許分類 (IPC))		
IPC C1 ¹ . G02F 1/136 G02F 1/1333		
B. 調査を行った分野		
調査を行った最小限資料 (国際特許分類 (IPC))		
IPC C1 ¹ . G02F 1/136 G02F 1/1333		
最小限資料以外の資料で調査を行った分野に含まれるもの		
日本国実用新案公報 1926-1998年 日本国公開実用新案公報 1971-1995年		
国際調査で利用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP, 9-90410, A (株式会社日立製作所), 04. 4月, 1997 (04. 04. 97), 第5頁第8欄第8-17行, 第6頁第10行第45行-第7頁第12欄第14行, 第2図 (ファミリーなし)	1-10
Y	JP, 9-73101, A (株式会社日立製作所), 18. 3月, 1997 (18. 03. 97), 第5頁第17-28行, 第6頁第10欄第17行-第7頁第11欄第15行, 第2図 (ファミリーなし)	1-10
Y	JP, 9-15650, A (株式会社日立製作所), 17. 1月, 1997 (17. 01. 97), 第8頁第14欄第8-19行, 第9頁第15欄第43行-第10頁第17欄第13行, 第2図 (ファミリーなし)	1-10
Y	JP, 7-36058, A (株式会社日立製作所), 07. 2月, 1995 (07. 02. 95), 第3頁第4欄第14-19行, 第6頁第9欄第22-29行, 第2図, 第26図 (ファミリーなし)	1-10
Y	JP, 9-5793, A (株式会社日立製作所), 10. 1月, 1997 (10. 0	1-10
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 先行文献ではあるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願		
の日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日	16. 04. 98	国際調査報告の発送日 28.04.98
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JJP) 郵便番号100 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 吉 野 公 夫	2K 8106 電話番号 03-3581-1101 内線 3255

様式PCT/ISA/210 (第2ページ) (1992年7月)

国際調査報告

国際出願番号 PCT/JP98/01500

C (続き). 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	1. 97). 第2頁第3欄第45-50行, 第2図 (ファミリーなし) JP, 9-80473, A (株式会社日立製作所), 28. 3月, 1997 (28. 03. 97). 第4頁第5欄第40-49行, 同頁第6欄第45行-第5頁第7欄第 14行, 第3図 (ファミリーなし)	1-10
Y	JP, 64-24231, A (アルプス電気株式会社), 26. 1月, 1989 (2 6. 01. 89), 第1頁左下欄第5-13行, 第3頁左下欄第15-18行, 第1 図 (ファミリーなし)	3-10

様式PCT/ISA/210 (第2ページの続き) (1992年7月)

(注) この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。

なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。